Scuola universitaria professionale della Svizzera italiana
Dipartimento tecnologie innovative

SUPSI

Sistema di acquisizione audio ad 8 canali per beamforming e localizzazione spaziale

Studente/i

Gioele Sessa

Relatore

Ivan Defilippis

Correlatore

Daniele Allegri

Proponente

Daniele Allegri

Corso di laurea

Ingegneria Elettronica

Modulo

M00002 - Progetto di diploma

Anno

2018

Data

3 settembre 2018

STUDENTSUPSI

Indice

1 Abstract **1**

2 Introduzione **3**
2.1 Obiettivi 3
2.2 Compiti 3
2.3 Pianificazione di progetto 4

3 Beamforming **5**
3.1 Principio 5
3.2 Frequenze utilizzate 5
3.3 Distanze antenne 5
3.4 Sincronismo dei dati 7

4 Materiale dato/scelto **9**
4.1 Scheda FPGA 9
4.1.1 DE1-SoC 10
4.1.2 Interfacce 10
4.1.2.1 GPIO 10
4.1.2.2 CODEC audio 11
4.1.2.3 ADC 11
4.2 ADC 12
4.3 Microfoni 13
4.3.1 Descrizione 13
4.3.2 Segnale in uscita 15

5 Implementazione **17**
5.1 Dinamica AD1974 17
5.2 Trasmissione dati ADC 19
5.2.1 I^2S *(Inter-IC Sound)* 19
5.2.2 TDM *(Time Division Multiplex)* e AUX 20
5.2.3 Daisy-Chain 21

STUDENTSUPSI

5.3 SPI . . . 21
5.4 Interfaccia microfoni - ADC . . . 22
5.5 Scheda microfonica . . . 23
5.5.1 Circuito di esempio . . . 23
5.5.2 Simulazioni . . . 24
5.5.3 Calcoli . . . 27
5.6 Scheda di conversione . . . 27

6 Realizzazione schematici e PCB 29
6.1 Circuito di adattamento dinamica . . . 29
6.1.1 Alimentazione . . . 29
6.1.2 Stadio di ingresso . . . 29
6.1.3 Stadio ad amplificazione programmabile . . . 29
6.1.4 Stadio di conversione da single-ended a differenziale . . . 29
6.2 Layout adattamento dinamica . . . 33
6.3 Circuito di interfaccia ADC/FPGA . . . 35
6.4 Layout interfaccia ADC/FPGA . . . 36

7 Firmware 39
7.1 Configurazione FPGA . . . 39
7.2 Interfaccia personalizzata . . . 40
7.2.1 Switch e LED PGA . . . 40
7.2.2 Platform1 . . . 40
7.2.3 Multiplexer . . . 40
7.2.4 Flip-Flop divisione clock . . . 41
7.2.5 I^2S to parallel . . . 42
7.2.6 Memoria . . . 42
7.3 Console TCL . . . 42
7.3.1 Configurazione ADC . . . 42
7.3.2 Lettura dati . . . 43

8 Risultati 45
8.1 Misura distanza tra microfoni . . . 45
8.1.1 Algoritmo matlab . . . 45
8.1.1.1 Rilevamento picchi . . . 45
8.1.1.2 Correlazione . . . 45
8.1.2 Misura . . . 48

9 Conclusioni e sviluppi futuri 51

STUDENTSUPSI

Elenco delle figure

2.1 Pianificazione progetto 4

3.1 Array di trasmettitori con segnali sfasati 6
3.2 Punti focali (lobi) 6

4.1 Dettaglio GPIO 40 pin 10
4.2 Collegamento pin GPIO 11
4.3 Microfono ad elettrete 14
4.4 Schema interno microfono ad elettrete 14
4.5 Cicuito di prova 15
4.6 Grafico tensione di picco in funzione della distanza 16

5.1 Segnale sinusoidale 1.9 V_{rms} 17
5.2 Segnale sinusoidale 1.9 V_{rms} differenziali 18
5.3 Segnale sinusoidale 1.9 V_{rms} differenziali con polarizzazione 1.5 V_{DC} 18
5.4 Timing protocollo I^2S 19
5.5 Timing TDM 20
5.6 Timing TDM con convertitori ausiliari 20
5.7 Timing Daisy-Chain 21
5.8 Timing SPI 21
5.9 Formato registri SPI 22
5.10 Connessioni PCB 22
5.11 Circuito di esempio per ingresso AD1974 23
5.12 Circuito di adattamento tra microfono e ADC 25
5.13 Risposta in frequenza circuito di adattamento 26

6.1 Schematico alimentazione e generatore di tensione di riferimento 30
6.2 Schematico stadio di ingresso 31
6.3 Schematico stadio ad amplificazione programmabile 31
6.4 Schematico conversione da single-ended a differenzziale 32
6.5 Layout PCB adattamento dinamica 34

STUDENTSUPSI

6.6 Schematico interfaccia ADC/FPGA 35
6.7 Layout PCB interfaccia ADC/FPGA 37
6.8 Isola massa digitale 38
6.9 Isola alimentazione digitale 38

7.1 Schema a blocchi 39
7.2 Schema a blocchi macrocella custom 41
7.3 Flow chart lettura dati 44

8.1 Dati microfoni 46
8.2 Singolo periodo 47
8.3 Disposizione test misura di distanza 48
8.4 Disposizione test misura di distanza 48

9.1 Foto progetto 52
9.2 Foto scheda ADC 53
9.3 Foto scheda microfonica 54

STUDENTSUPSI

Elenco delle tabelle

3.1 Frequenze e applicazioni beamforming 5

4.1 Correnti massime erogabili dalla scheda DE1-SoC 11
4.2 Risultato ricerca ADC 13
4.3 Differenze tra PCM1802 e PCM4202 13
4.4 Valori tensione in funzione della distanza 16

6.1 Disposizione layer PCB 33

7.1 Valori registri ADC 42
7.2 Esempio parola SPI 43

8.1 Misure microfoni in serie 48
8.2 Misure microfoni angolati 49

STUDENTSUPSI

STUDENTSUPSI

Capitolo 1

Abstract

Lo scopo del progetto è quello di acquisire i segnali di otto microfoni in maniera sincrona, in modo da poterli processare ed analizzare digitalmente. Successivamente, si vuole detettare la direzione di provenienza di una sorgente sonora.

Il progetto è stato diviso in fasi per semplificarne la realizzazione.
Si è cominciato con una ricerca di informazioni sul beamforming e sulla scheda DE1-SoC. Successivamente sono stati scelti i componenti da utilizzare in funzione delle specifiche del progetto e sono state progettate le schede personalizzate. Dopo averle montate e testate si è passati alla realizzazione del firmware da caricare sull'FPGA.

Durante il corso del progetto, sono state acquisite diverse conoscenze quali la teoria sul beamforming, la scelta dei componenti adeguati, la progettazione e l'assemblaggio di PCB con componenti SMD e l'utilizzo del tool Platform Designer sul software Quartus II.

Causa ritardi nella progettazione e nell'arrivo dei componenti, non è stato possibile portare a termine tutti gli obiettivi del progetto, il quale è stato considerato ottimistico da portare a termine in soli tre mesi.

STUDENTSUPSI

STUDENTSUPSI

Capitolo 2

Introduzione

2.1 Obiettivi

Sviluppare un dispositivo in grado di:

- acquisire in modo sincrono il segnale proveniente da 8 microfoni
- salvare i segnali in una memoria così da poterli elabore nel sistema embedded e/o trasferirli ad un PC
- identificare in modo passivo la direzione di provenienza di una sorgente sonora

2.2 Compiti

- Studio della tecnologia del beamforming
- Identificazione dei requisiti di sistema
- Selezione dei componenti
- Implementazione del dispositivo
- Implementazione del firmware per FPGA
- Verifica qualità segnale audio acquisito in Matlab
- Implementazione algoritmi di elaborazione in Matlab

STUDENTSUPSI

2.3 Pianificazione di progetto

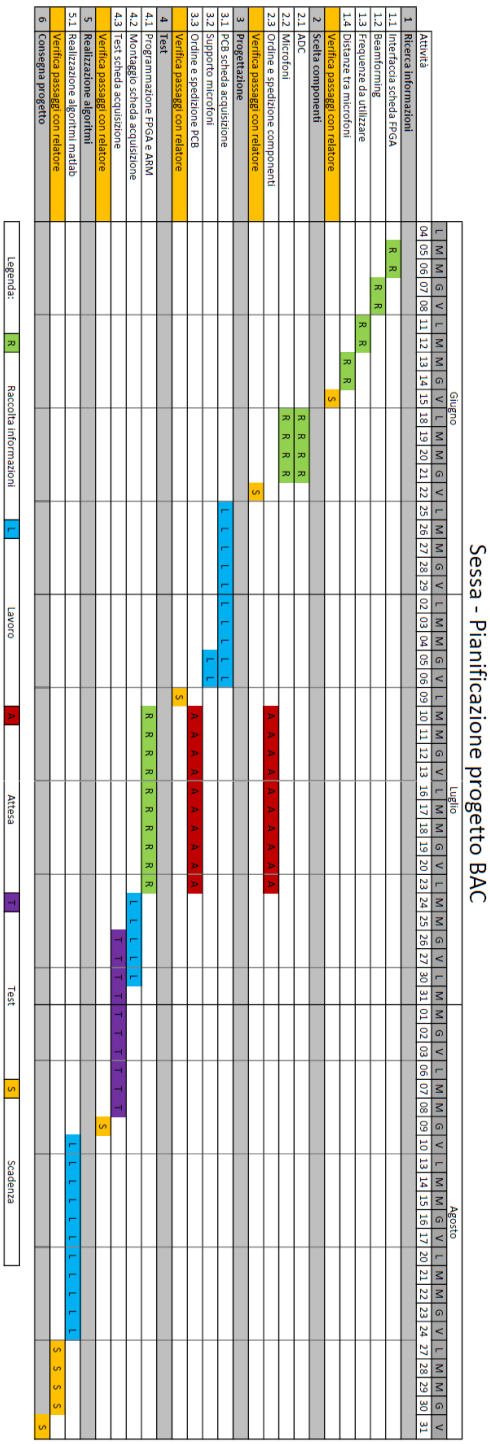

Figura 2.1: Pianificazione progetto

STUDENTSUPSI

Capitolo 3

Beamforming

3.1 Principio

Il beamforming, in generale, è una tecnica di elaborazione dei segnali utilizzata per inviare o ricevere informazioni in maniera direzionale. [1]
La tecnica del beamforming utilizza una serie di ricevitori o trasmettitori equamente distanziati tra loro e modifica la relazione di fase tra i vari segnali, in modo che ad un determinato angolo si verifichino interferenze costruttive, mentre in tutti gli altri angoli le interferenze siano distruttive. La figura 3.1 rappresenta bene tale fenomeno.
Si nota infatti come ogni trasmittente invii il segnale in ritardo rispetto alla precedente, così facendo l'interferenza costruttiva della somma dei segnali viaggia con un angolo θ rispetto alla disposizione delle antenne.

3.2 Frequenze utilizzate

Tale tecnologia viene utilizzata a diverse bande di frequenza e per differenti scopi come mostrato in tabella 3.1.

Frequenze	Banda	Esempio di applicazione
Basse frequenze	20 Hz - 20 kHz	Beamforming audio
Ultrasuoni	100 kHz - 100 MHz	SONAR, ecografia
Microonde	1 - 10 GHz	Beamforming Wi-Fi

Tabella 3.1: Frequenze e applicazioni beamforming

3.3 Distanze antenne

Un parametro importante di questo sistema è la distanza tra gli elementi di trasmissione/ricezione, che per comodità verranno generalmente chiamati antenne.

STUDENTSUPSI

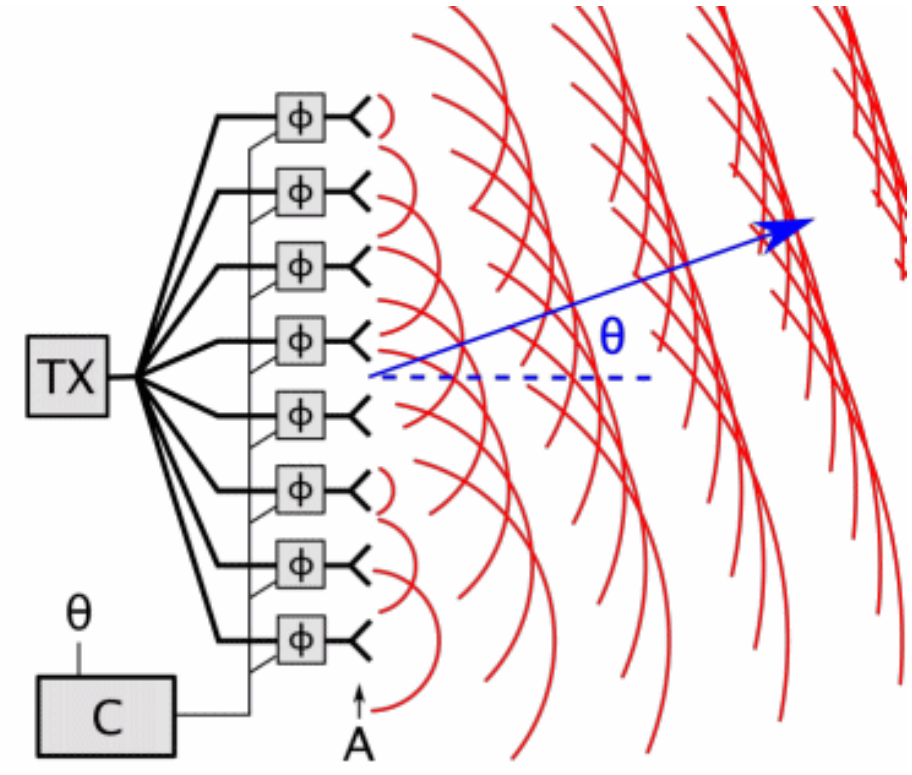

Figura 3.1: Array di trasmettitori con segnali sfasati

Tale distanza incide sul numero di punti focali (lobi) all'interno del campo di analisi. Se la distanza è minore o uguale alla lunghezza d'onda, nel campo visivo frontale ($\pm 90°$) si forma un solo lobo principale, mentre se la distanza è maggiore alla lunghezza d'onda, nel campo visivo si avranno più lobi principali, ed il sistema rischia di acquisire segnale di disturbo.
Per punto focale, o lobo, si intende una zona di maggior sensibilità di un antenna. Tale lobo è contrassegnato da un angolo centrale che ne indica la direzione e dalla larghezza, che ne indica la selettività.

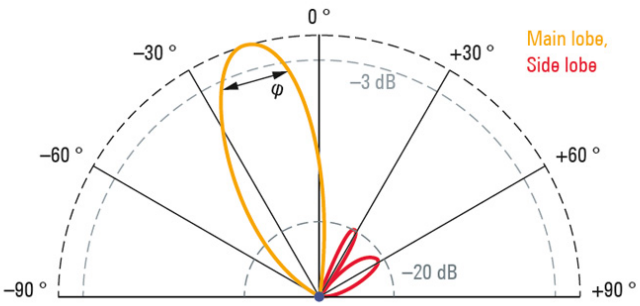

Figura 3.2: Punti focali (lobi)

La formula 3.1 permette di calcolare l'angolo massimo del campo visivo in funzione della

STUDENTSUPSI

distanza tra le antenne.

$$\theta_r = \pm arcsin\left(\frac{\lambda \cdot r}{d}\right); r = 1, 2, ... \tag{3.1}$$

λ = lunghezza d'onda; d = distanza tra le antenne

Mentre la formula 3.2 serve al calcolo dell'angolo dei lobi inferiori.

$$\theta_{maxLaterale} = \pm arcsin\left(\frac{3}{2} \cdot \frac{\lambda}{N \cdot d}\right) \tag{3.2}$$

N = numero di antenne
Infine per calcolare l'angolo di selettività del lobo principale, si può utilizzare l'approssimazione 3.3.

$$\Delta\theta_{principale} \approx \frac{2 \cdot \lambda}{d \cdot N} \tag{3.3}$$

3.4 Sincronismo dei dati

Da quanto spiegato precedentemente si intuisce che la fase dei segnali ricevuti/trasmessi è la chiave per la direttività del suono.
Le antenne devono dunque essere sincronizzate tra di loro, ovvero sia quando il dato viene misurato che quando viene irradiato, l'operazione deve essere simultanea per tutte le antenne, altrimenti si creerebbe un ulteriore differenza di fase nei segnali, che porterebbe ad un errore di direzione nella ricezione/trasmissione del segnale.

STUDENTSUPSI

STUDENTSUPSI

Capitolo 4

Materiale dato/scelto

Con lo scopo di ottenere un prototipo in tempi ragionevolmente brevi, il progetto prevede l'utilizzi di un'FPGA per acquisire i dati audio ed eventualmente processarli.

4.1 Scheda FPGA

Un'FPGA (Field Programmable Gate Array) è un dispositivo elettronico digitale riconfigurabile, in grado di realizzare una serie di funzioni logiche concorrenti o sequenziali più o meno complesse.

Per funzione logica concorrente si intende un sistema che può cambiare stato e/o uscita ad ogni variazione di qualsiasi ingresso. Per citare un esempio si può fare riferimento ad un semplice sistema composto da porte logiche.

Per funzione logica sequenziale invece, si intende un sistema le quali periferiche sono sincronizzate da un segnale di clock e i dati, prima di passare dall'ingresso all'uscita, devono essere processati secondo una data sequenza di istruzioni, le quali sono salvate in una memoria. Per citare un esempio basta pensare ad un qualsiasi dispositivo che contenga un microprocessore come computer, microcontrollori, smartphone, [...].

Di base, a livello elettronico, un'FPGA è composta da microcelle elementari come AND, OR e NOT, tutte collegabili l'un l'altra attraverso interruttori digitali configurabili, infatti da qui prende il nome di *dispositivo configurbile*.
Negli anni tali dispositivi si sono evoluti e all'interno delle microcelle sono comparsi elementi più complessi quali multiplexer, flip-flop e registri di memoria, metre all'esterno delle celle i collegamenti digitali sono diventati più fitti e configurabili attraverso lo standard JTAG.

STUDENTSUPSI

4.1.1 DE1-SoC

La scheda a disposizione per il progetto è la Terasic DE1-SoC [2], la quale monta un'FPGA Altera Cyclone V. Tale scheda presenta una serie di interfacce verso l'esterno, tra le quali USB, UART, seriale ed ethernet.

4.1.2 Interfacce

Di seguito verranno elencate le interfacce che interessano questo progetto.

4.1.2.1 GPIO

La scheda presenta due GPIO (General Purpose Input Output) con connettori da 2x20 pin, delle quali è riportato un dettaglio in figura 4.1.

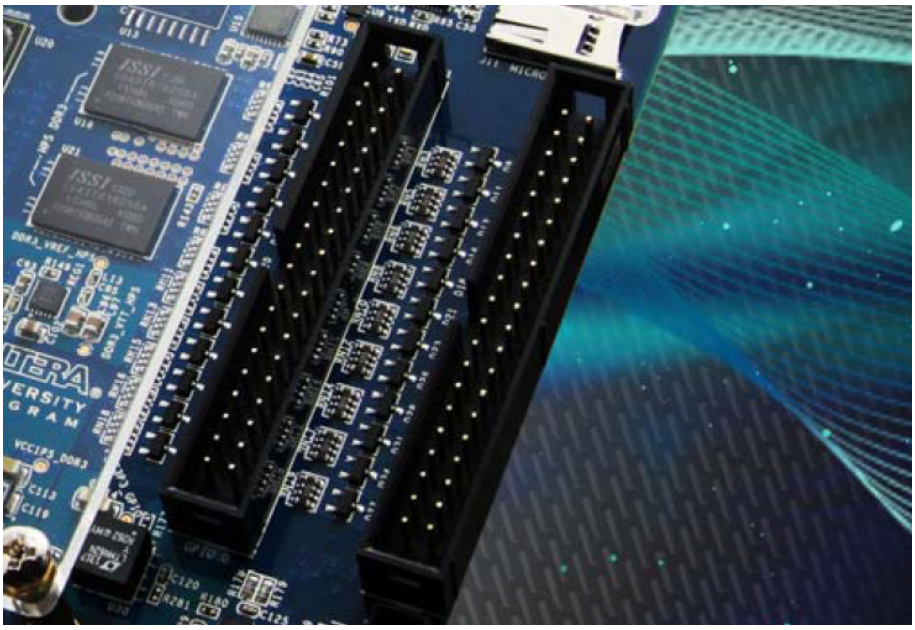

Figura 4.1: Dettaglio GPIO 40 pin

Ciascun pin di tali connettori è collegato ad un circuito di protezione a diodi e all'FPGA, come rappresentato in figura 4.2. Tutti gli I/O digitali funzionano a 3.3 V.
Dei 40 pin, 36 sono utilizzabili come I/O digitali. I rimanenti quattro, due sono collegati a GND, uno all'alimentazione +5 V (VCC5) ed uno all'alimentazione +3.3 V (VCC3P3).
Le correnti massime fornite dai pin di alimentazione, sono indicate nella tabella 4.1.

STUDENTSUPSI

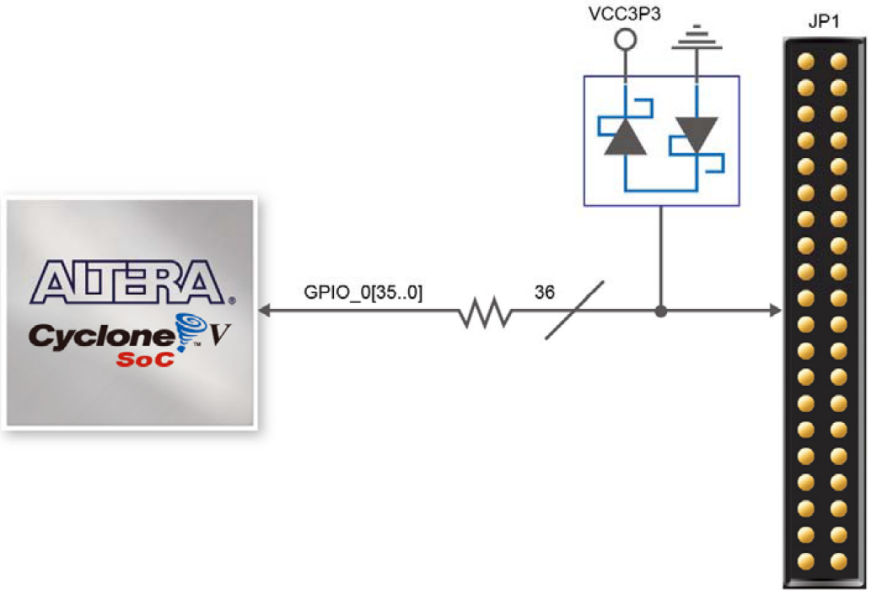

Figura 4.2: Collegamento pin GPIO

Tensione	Corrente massima
5 V	1 A
3.3 V	1.5 A

Tabella 4.1: Correnti massime erogabili dalla scheda DE1-SoC

4.1.2.2 CODEC audio

La scheda monta il CODEC audio Wolfson WM8731 con le seguenti caratteristiche:

- ingresso microfonico
- ingresso di linea
- uscita di linea
- conversione a 24 bit
- frequenza di campionamento variabile (da 8 kHz a 96 kHz)
- comunicazione seriale I^2C

4.1.2.3 ADC

Sulla scheda è montato l'IC AD7928 dell'Analog Devices con le seguenti caratteristiche:

- 8 canali

STUDENTSUPSI

- conversione a 12 bit
- convertitore ad approssimazioni successive
- multiplex degli ingressi
- amplificatore track and hold a valle del multiplexer
- dinamica di ingresso selezionabile a 2.5 V o 5 V
- campionamento fino a 1 MSample/s
- SNR = 70dB
- larghezza di banda massima 1.6MHz

4.2 ADC

L'ADC montato sulla scheda DE1-SoC non soddisfa le richieste del progetto in quanto la campionatura non è sincrona per tutti gli 8 canali. Si è dunque scelto di sviluppare una scheda di espansione contenente uno o più ADC che abbiano le caratteristiche di seguito riportate.

- Risoluzione $\geq$ 16 bit
- Campionamento $\geq$ 192 kHz
- Campionamento sincrono dei canali
- Ingresso differenziale
- Un convertitore per canale
- Comunicazione I^2S

Una ricerca su DigiKey di tali requisiti ha portato ad una scelta tra 4 convertitori, le quali caratteristiche principali sono riportate nella tabella 4.2.

I due componenti PCM1804 e PCM1804-Q1 sono sostanzialmente gli stessi. Texas Instruments ha riproposto l'ADC di Burr-Brown dopo essere entrati in società nel 2000.
Il convertitore PCM4202 è invece la versione aggiornata del PCM1804. L'azienda ha apportato le modifiche elencate in tabella 4.3.

STUDENTSUPSI

	Produttore	Codice prodotto	Risoluzione	Interfaccia
1	Analog Devices	AD1974	24 bit	I^2S
2	Burr-Brown (TI)	PCM4202	24 bit	I^2S
3	Burr-Brown (TI)	PCM1804	24 bit	I^2S
4	Texas Instruments	PCM1804-Q1	24 bit	I^2S
	n° canali	n° convertitori	Architettura	Input
1	4	4	Sigma-Delta multibit	Differenziale
2	2	2	Sigma-Delta	Differenziale
3	2	2	Sigma-Delta	Differenziale
4	2	2	Sigma-Delta	Differenziale

Tabella 4.2: Risultato ricerca ADC

Componente	Massima tensione convertita	Tensione ingressi digitali	Pin di reset
PCM1804	5 V_{PP}	5 V	No pull-down
PCM4202	6 V_{PP}	3.3 V	Pull-down

Tabella 4.3: Differenze tra PCM1802 e PCM4202

La scelta finale è stata di prendere l'AD1974 per le seguenti ragioni:

- Prezzo/canale inferiore
- Minor numero di IC necessari per acquisire i segnali
- Possibilità di connessione daisy-chain tra due IC
- Maggiore documentazione sulla trasmissione dei dati

4.3 Microfoni

4.3.1 Descrizione

Per questioni di dimensioni e di costi, si è scelto ci utilizzare dei microfoni ad elettrete [3], vedi figura 4.3. Si tratta di microfoni a condensatore, il quale dielettrico (l'elettrete) è composto da un materiale in grado di conservare una carica elettrica al suo interno. Grazie a questa carica il microfono non necessita di alimentazione esterna ma, a causa della debolezza del segnale in uscita, è necessario uno stadio di preamplificazione prima di poter utilizzare tale segnale.

Il microfono ha all'interno un transistor ad effetto di campo utilizzato come adattatore di impedenza, così da aumentare la corrente erogabile e pilotare lo stadio successivo di amplificazione. Per permettere al transistor di lavorare correttamente, bisogna polarizzarlo attraverso una resistenza R_L collegata all'alimentazione.
La figura 4.4 mostra tutti i componenti del microfono.

STUDENTSUPSI

Figura 4.3: Microfono ad elettrete

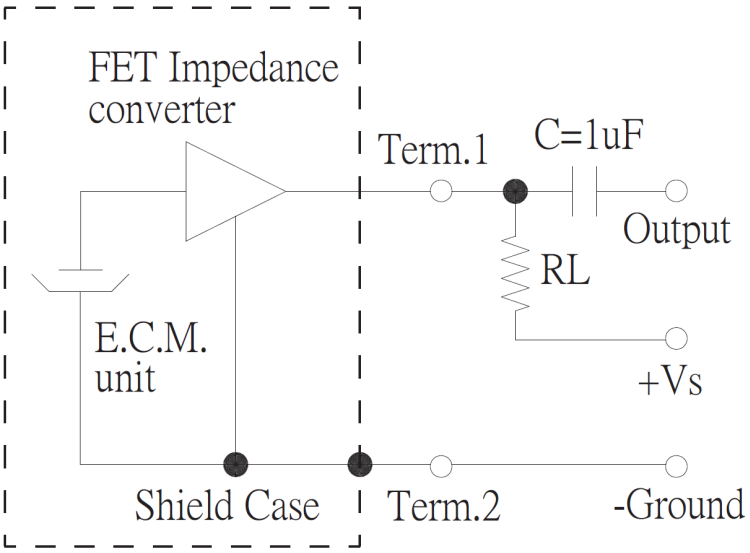

Figura 4.4: Schema interno microfono ad elettrete

STUDENTSUPSI

4.3.2 Segnale in uscita

Per sapere la quantità di segnale in uscita dal microfono, sono state effettuate delle misure di tensione in funzione della distanza.

É stata riprodotta una sinusoide alla frequenza di 1 kHz attraverso un altoparlante, successivamente è stata misurata la tensione di picco con un oscilloscopio. Utilizzando una sorgente sonora fissa, l'unica variabile che influisce sul livello di tensione è la distanza.

Il circuito utilizzato per il test è rappresentato il figura 4.5.

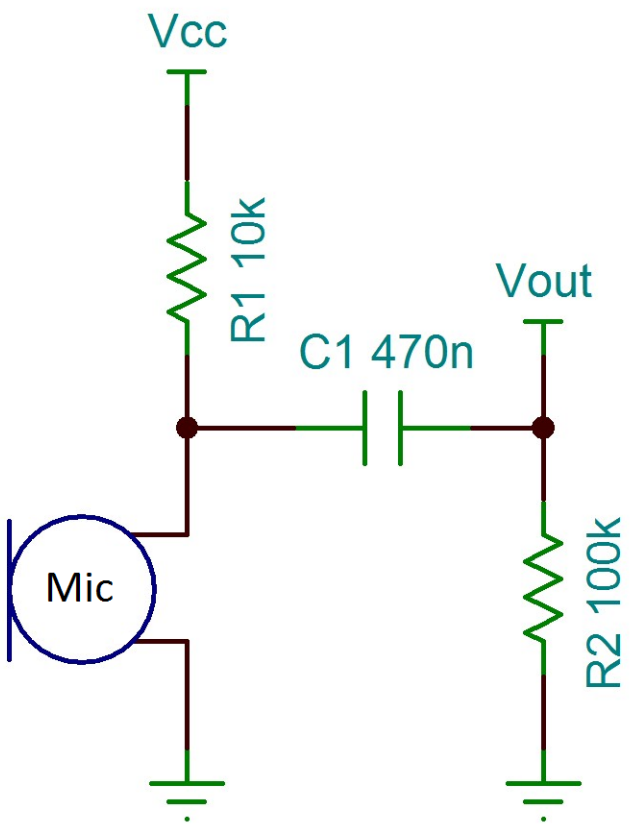

Figura 4.5: Cicuito di prova

Dove R_1 serve a polarizzare il transistor interno al microfono ed il filtro passa-alto R_2 C_1 elimina la componente continua del segnale.
I risultati sono riportati in tabella 4.4.

La figura 4.6 rappresenta graficamente tali misure.

STUDENTSUPSI

D [m]	V [mV]
0.30	119
0.60	62
0.90	52
120	43
150	39
180	37
210	35
240	32
270	31
300	29
330	27

Tabella 4.4: Valori tensione in funzione della distanza

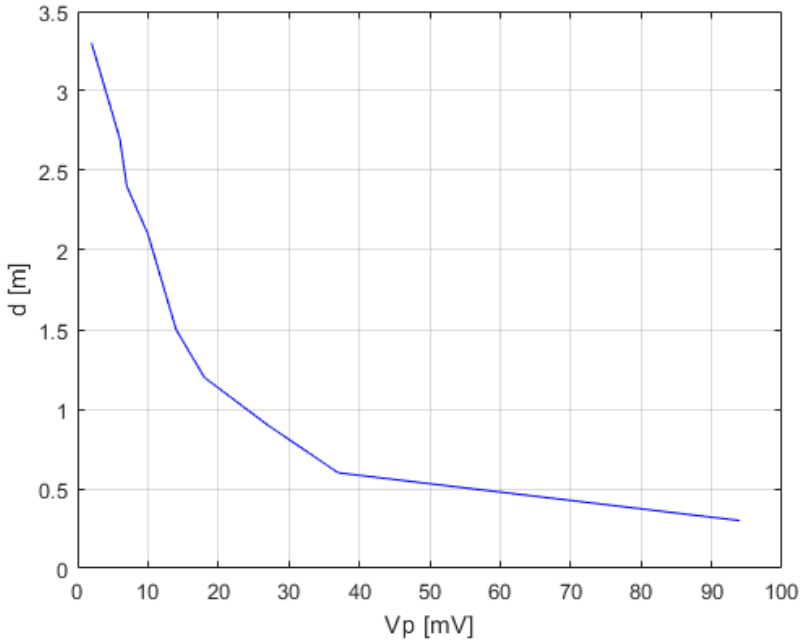

Figura 4.6: Grafico tensione di picco in funzione della distanza

STUDENTSUPSI

Capitolo 5

Implementazione

5.1 Dinamica AD1974

Dal datasheet dell'ADC [4], si ottiene la dinamica di conversione, ovvero l'ampiezza di un segnale sinusiodale in ingresso per la quale tutti i 24 bit del convertitore vengono utilizzati. Per l'AD1974 tale valore è di 1.9 V_{rms} differenziali (5.37 V_{pp}), figura 5.1, dunque ciascun polo del segnale differenziale può raggiungere un'ampliezza di 0.95 V_{rms} (2.69 V_{pp}).

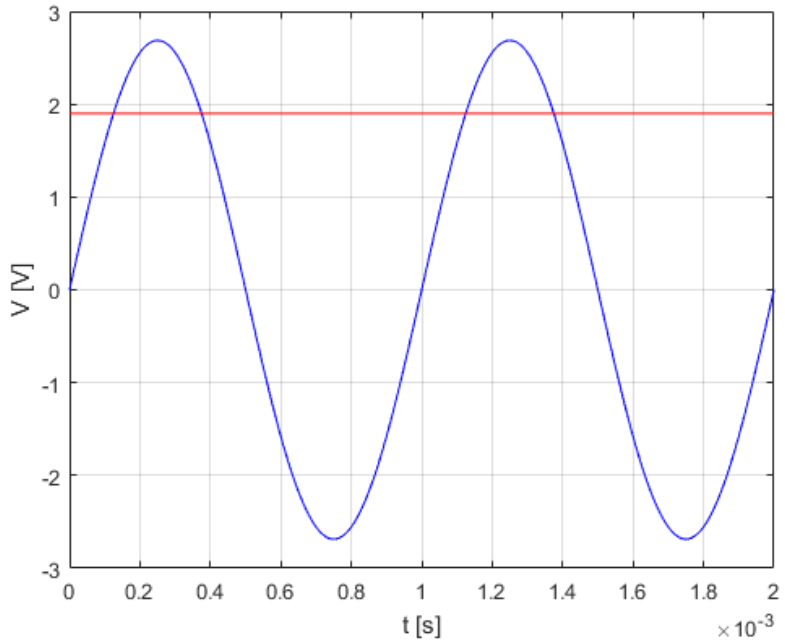

Figura 5.1: Segnale sinusoidale 1.9 V_{rms}

Dato che l'ADC non può convertire tensioni inferiori a zero, il segnale viene polarizzato dallo stadio di ingresso a 1.5 V, come mostrato in figura 5.3.

STUDENTSUPSI

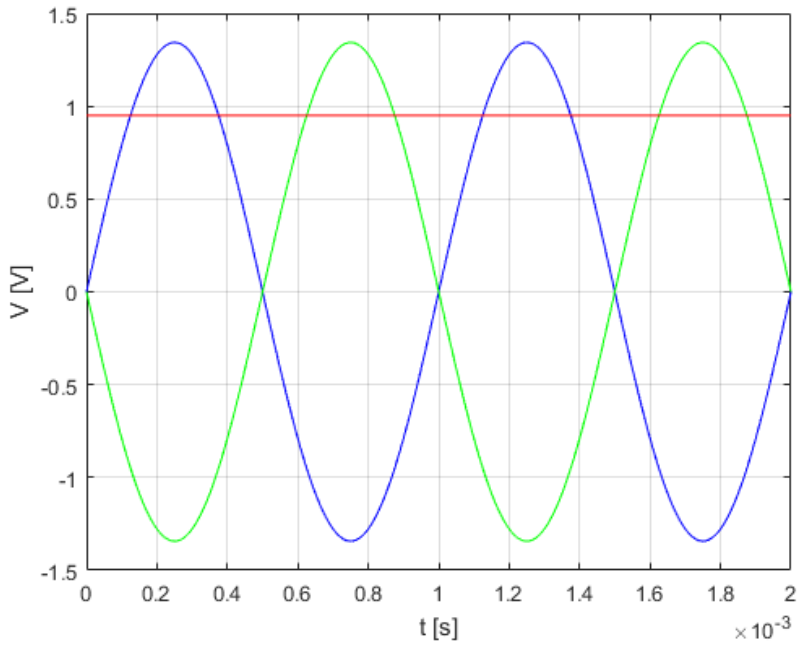

Figura 5.2: Segnale sinusoidale 1.9 V_{rms} differenziali

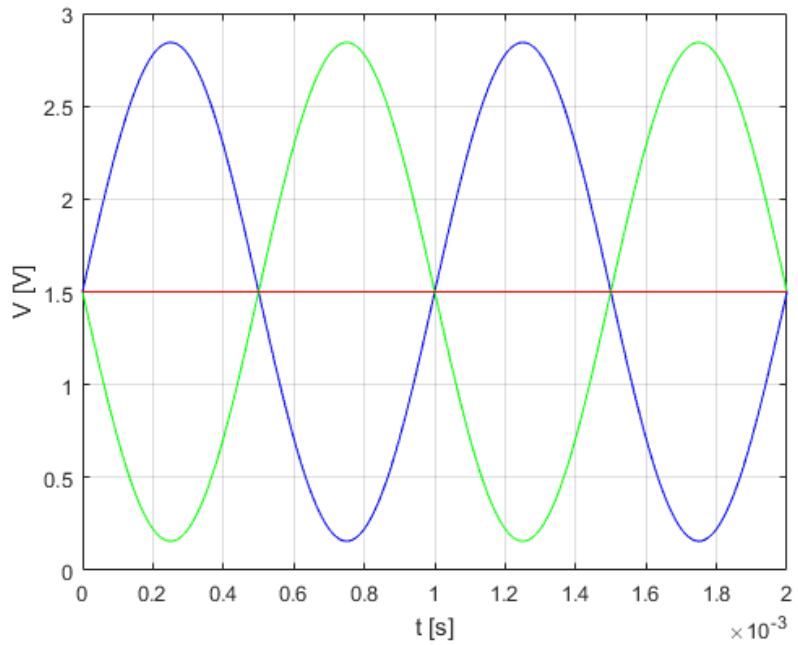

Figura 5.3: Segnale sinusoidale 1.9 V_{rms} differenziali con polarizzazione 1.5 V_{DC}

STUDENTSUPSI

5.2 Trasmissione dati ADC

I valori degli ingressi analogici digitalizzati, sono trasmessi in uscita tramite due pin seriali, uno per coppia di canali destro+sinistro.
Il convertitore supporta diverse modalità di comunicazione quali I^2S, TDM e Daisy-Chain.

5.2.1 I^2S *(Inter-IC Sound)*

Tale modalità è impostata di default nei registri dell'ADC.
Al coltrario di altri metodi di comunicazione dove il clock viene recuperato dal bitstream, questo protocollo è composto da tre fili, le quali funzioni sono di seguito elencate [5].

- *Bit clock (BCLK)*
  Indica la frequenza con la quale un bit viene trasmesso.

- *Word clock (LRCLK)*
  Anche chiamato *word select (WS)* o *frame sync (FS)*, permette di discriminare quale canale o quale frame è trasmesso in quell'istante.
  In genere vale 0 per il canale sinistro ed 1 per il destro.

- *Data*
  Ad ogni fronte di salita del bit clock, tale linea trasmette il valore del canale selezionato dal word clock. Un frame comincia due fronti di bit clock successivi alla variazione del word clock.

Il dato non può cambiar stato fino al prossimo fronte di discesa del bit clock, in modo da assicurare una lettura corretta a tutti i dispositivi connessi.
La temporizzazione del sistema I^2S è mostrata in figura 5.4.

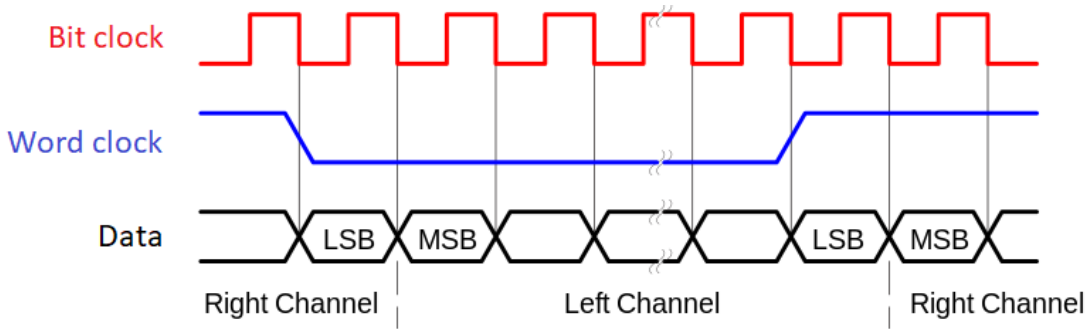

Figura 5.4: Timing protocollo I^2S

STUDENTSUPSI

5.2.2 TDM *(Time Division Multiplex)* e AUX

Nella modalità TDM viene impiegata una sola uscita, dove i dati dei quattro ADC vengono trasmessi divisi nel tempo come mostrato in figura 5.5.

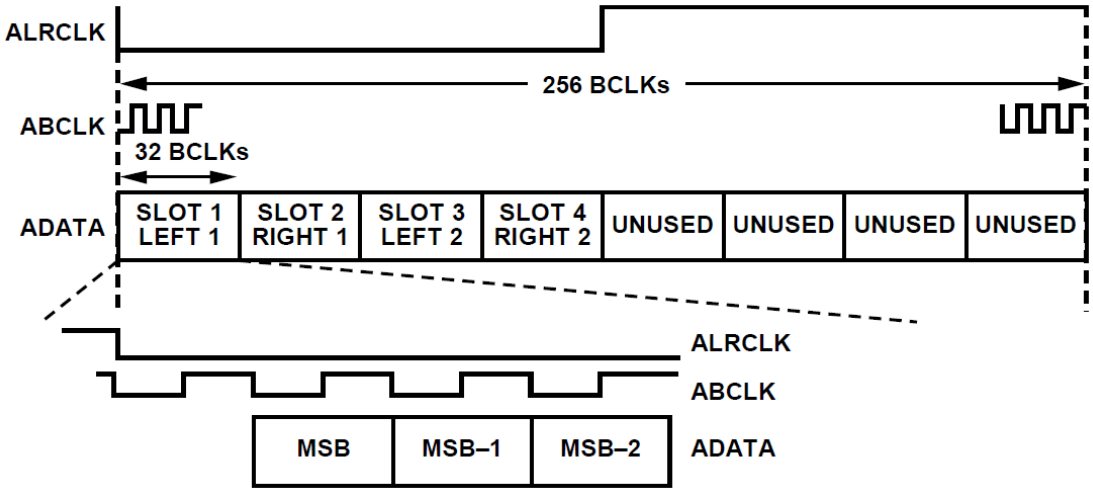

Figura 5.5: Timing TDM

I quattro canali sono trasmesi durante il semiperiodo basso del word clock, mentre gli slot del semiperiodo alto non vengono utilizzati.
Nella configurazione ausiliaria è possibile trasmettere altri quattro canali provenienti da ADC esterni e forniti agli ingressi seriali ausiliari.
Tali dati vanno a riempire gli slot inutilizzati, come mostrato in figura 5.6.

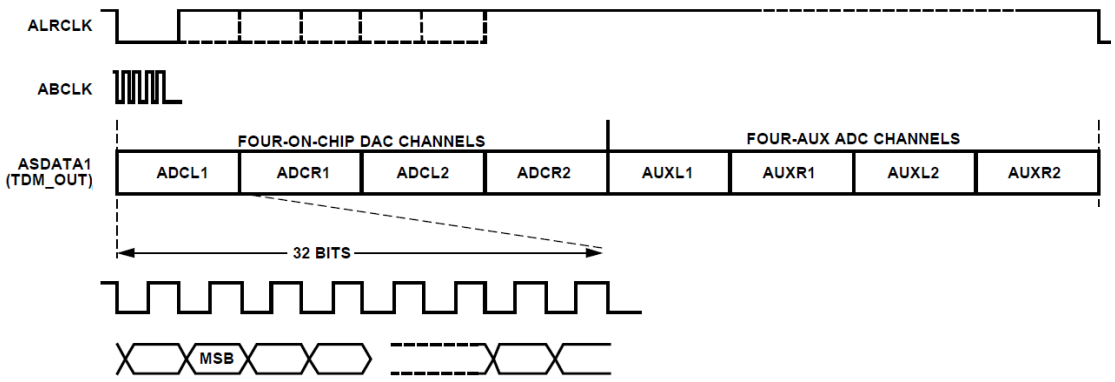

Figura 5.6: Timing TDM con convertitori ausiliari

STUDENTSUPSI

5.2.3 Daisy-Chain

Questa modalità permette di collegare due convertitori in cascata, in modo da raggruppare i segnali degli otto convertitori in una sola uscita TDM, come mostrato in figura 5.7.

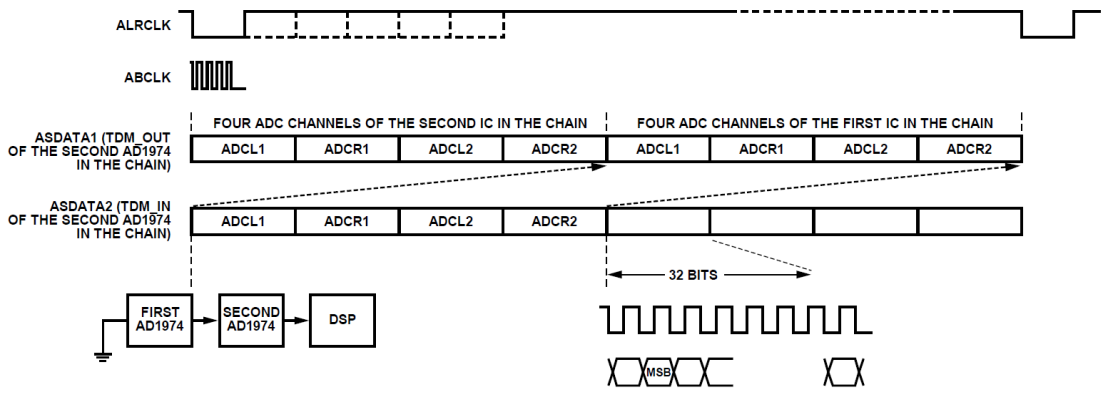

Figura 5.7: Timing Daisy-Chain

5.3 SPI

Per selezionare le modalità di funzionamento precedentemente illustrate, bisogna configurare i registri dell'AD1974 tramite interfaccia seriale SPI [6]. Nel caso si voglia utilizzare il convertitore in modalità standalone, gli ingressi di controlo CIN, CCLK e $\overline{\text{CLATCH}}$ vanno connessi a ground. In caso contratio, la porta SPI è attiva.
La porta di controllo seriale è costituita da 4 fili, la lunghezza di una parola è di 24 bit e il clock può essere totalmente asincrono rispetto al clock degli ADC.
In figura 5.8 è rappresentato il formato dei dati accettati dalla porta SPI.

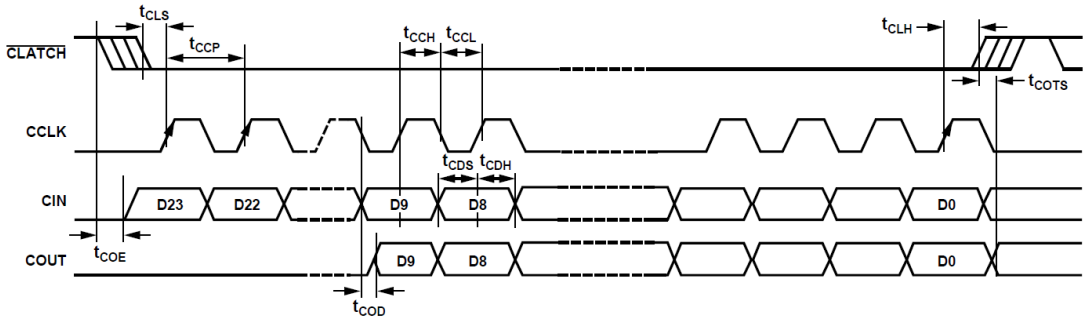

Figura 5.8: Timing SPI

STUDENTSUPSI

Come mostrato in figura 5.9, il primo byte è un indirizzo globale per l'identificazione dell'A-DC, con il bit meno significativo che indica la direzione Read/$\overline{\text{Write}}$ dei dati, il secondo byte indica l'indirizzo del registro da modificare ed il terzo contiene, in caso di scrittura, il valore da impostare, mentre in caso di lettura qualsiasi dato venga scritto viene ignorato.

	Global Address	R/$\overline{\text{W}}$	Register Address	Data
Bit	23:17	16	15:8	7:0

Figura 5.9: Formato registri SPI

Il canale COUT dell'SPI replica un'esatta copia del canale CIN, con l'eccezione che, in caso di lettura dei registri, il terzo byte contiene l'informazione da leggere.

5.4 Interfaccia microfoni - ADC

Per il progetto è stato scelto di separare in PCB differenti la parte analogica da quella digitale. Con l'idea di rendere il sistema modulare si è giunti alla conclusione di realizzare otto schede microfoniche ed una scheda di conversione.
Lo schema a blocchi di figura 5.10 ne indica i collegamenti.

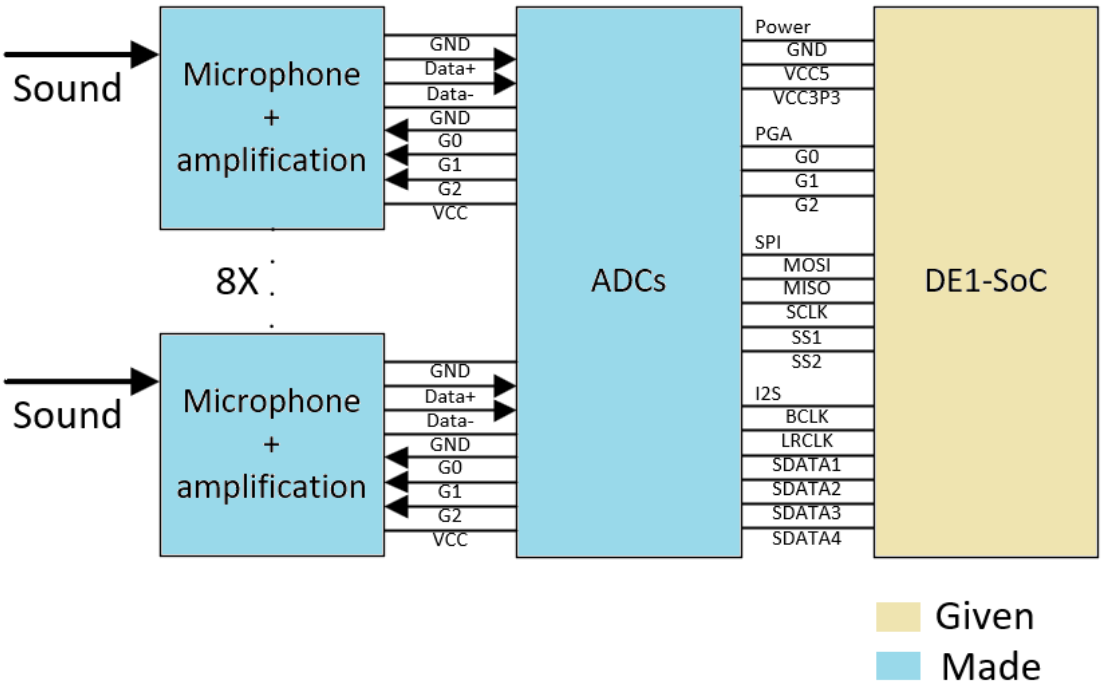

Figura 5.10: Connessioni PCB

STUDENTSUPSI

5.5 Scheda microfonica

Unendo le conoscenze acquisite durante i corsi di elettronica con i circuiti consigliati dai datasheet, è stato realizzato il circuito di amplificazione del segnale dei microfoni descritto nel dettaglio nei seguenti sottocapitoli.

5.5.1 Circuito di esempio

Il datasheet dell'AD1974 suggerisce l'utilizzo del circuito di figura 5.11 per trasformare un segnale single-ended in un segnale differenziale adatto all'ingresso dell'ADC.

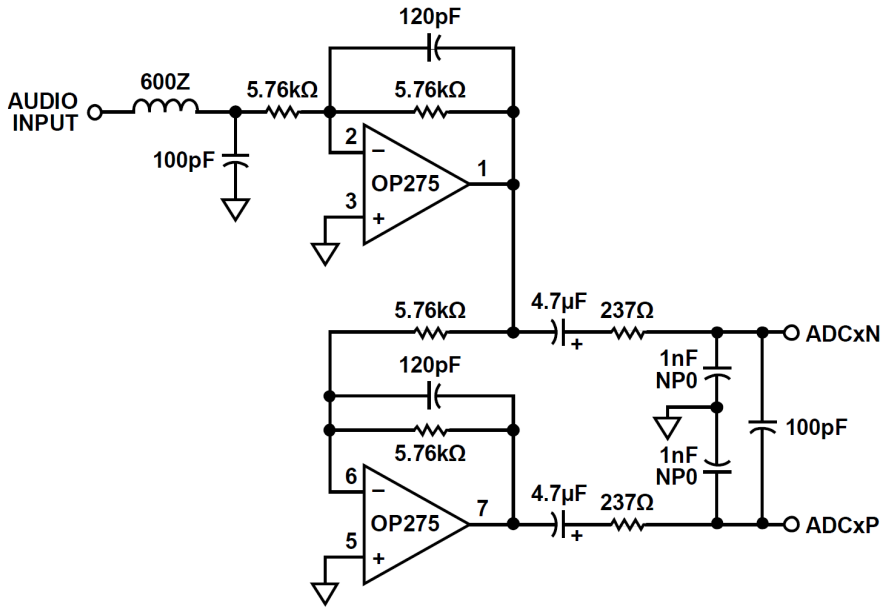

Figura 5.11: Circuito di esempio per ingresso AD1974

Il circuito consiste in due amplificatori invertenti con guadagno unitario, il primo adatta l'impedenza dell'ingresso ed il secondo inverte nuovamente il segnale per generare il segnale differenziale positivo.
Gli amplificatori operazionali hanno un condensatore da 120 pF in parallelo alla retroazione con lo scopo di migliorare il margine di fase, mentre i condensatori da 4.7 µF servono a disaccoppiare il segnale differenziale dal riferimento a massa.

STUDENTSUPSI

5.5.2 Simulazioni

Il circuito simulato per questa specifica applicazione è mostrato in figura 5.12.

In alto a sinistra si trova in circuito che genera il riferimento a $V_{CC}/2$, composto da un partitore resistivo e da un buffer per eliminare i disturbi in funzione del carico.
Il segnale del microfono, rappresentato dal generatore di tensione AC1, viene disaccoppiato dalla sua componente continua per poi essere polarizzato a $V_{CC}/2$ attraverso una resistenza da 1 MΩ.

Per il primo stadio di amplificazione è stata utilizzata una configurazione non invertente, in modo da avere un'alta impedenza di ingresso per non caricare il circuito precedente, con il rischio di distorcere il segnale. L'amplificazione è regolabile attraverso un trimmer così da poter impostare con precisione lo stesso guadagno per tutti gli otto microfoni.

Il secondo stadio di amplificazione è composto fa un PGA *(Programmable Gain Amplifier)*, in modo da modificare il guadagno da FPGA a seconda del volume sonoro che si presenta ai microfoni. In questa simulazione è stato rappresentato con un amplificatore invertente con caratteristiche simili a causa della mancanza del modello del PGA scelto nel simulatore.

Il terzo stadio di amplificazione è lo stesso proposto dal produttore dell'ADC, dove è stato cambiato il guadagno.

Infine l'ultimo blocco rappresenta lo stadio di ingresso dell'ADC, necessario per fornire un punto di riferimento al simulatore per effettuare i calcoli.

La risposta in frequenza simulata del circuito è mostrata in figura 5.13.
Il punto a -3 dB rispetto alla banda passate è situato a 114.98 kHz.
Con un campionamento a 192 kHz, tale risposta potrebbe produrre aliasing in fase di campionamento, tuttavia i microfoni utilizzati hanno una banda passante di 20 kHz, è stato dunque scelto di non filtrare a metà frequenza di campionamento, lasciando spazio ad eventuali sviluppi futuri.

STUDENTSUPSI

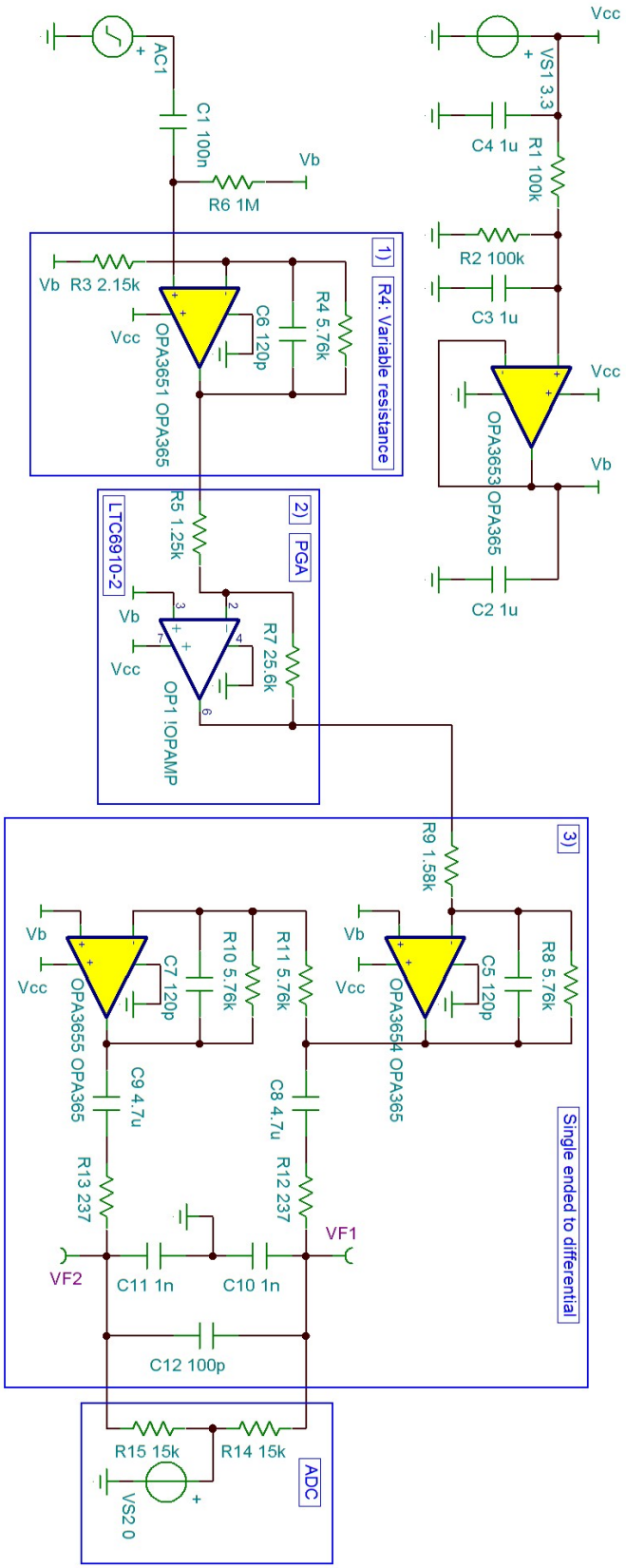

Figura 5.12: Circuito di adattamento tra microfono e ADC

STUDENTSUPSI

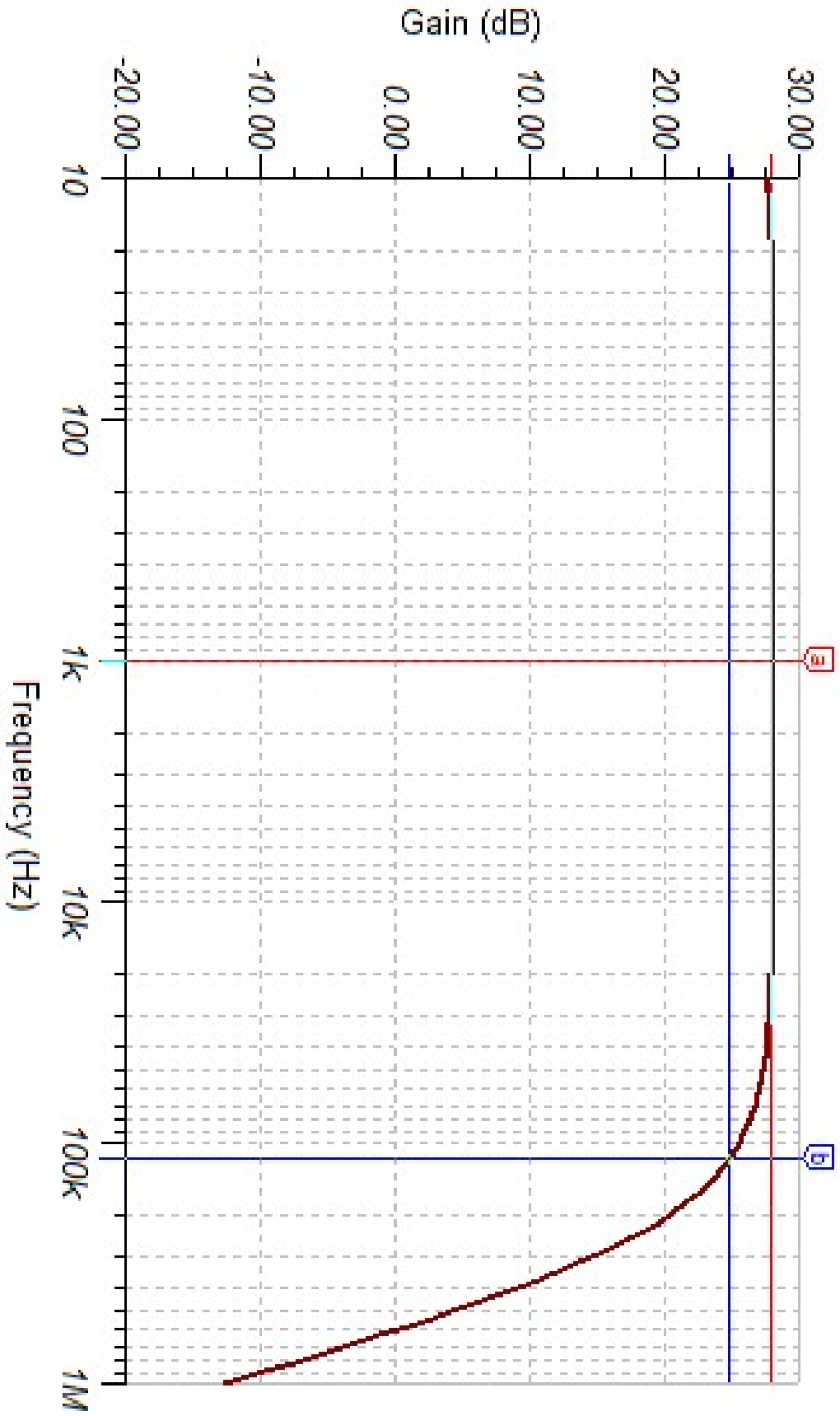

Figura 5.13: Risposta in frequenza circuito di adattamento

STUDENTSUPSI

5.5.3 Calcoli

Osservando le misure di tabella 4.4 a pagina 16, è stato scelto di adattare alla dinamica degli ADC segnali compresi tra 5 mV e 150 mV.
Per calcolare il guadagno minimo del circuito, si divide il valore della dinamica del convertitore per il valore di tensione massimo del microfono (5.1).

$$A_{V_{min}} = \frac{V_{ADC}}{V_{in_{max}}} \rightarrow \frac{1.9V \cdot \sqrt{2}}{0.15V} = 17.9 \rightarrow 25.1dB \tag{5.1}$$

Mentre per l'amplificazione massima si prende il valore di tensione minimo del microfono (5.2).

$$A_{V_{max}} = \frac{V_{ADC}}{V_{in_{min}}} \rightarrow \frac{1.9V \cdot \sqrt{2}}{0.005V} = 537.4 \rightarrow 54.6dB \tag{5.2}$$

Ciò significa che il PGA dovrà avere un range di amplificazione tra 1 e il rapporto dei due risultati precedenti (5.3).

$$A_{V_{PGA}} = \frac{A_{V_{max}}}{A_{V_{min}}} \rightarrow \frac{537.4}{17.9} = 30 \rightarrow 29.5dB \tag{5.3}$$

Con lo scopo di ottimizzare la risposta in frequenza, il guadagno $A_{V_{min}}$ viene equamente distribuito sui due stadi (5.4).

$$A_{V_1} = A_{V_3} = \sqrt{A_{V_{min}}} = \frac{G_{1,3_{dB}}}{2} \rightarrow \sqrt{17.9} = 4.2 \rightarrow \frac{25.1dB}{2} = 12.6dB \tag{5.4}$$

Possono ora essere calcolati i valori delle resistenze degli amplificatori.
Ponendo la resistenza di feedback fissa a 5.76 kΩ, si calcolano R_4 ed R_8 (5.5).

$$R_4 = \frac{R_{ref}}{A_{V_1} - 1} \rightarrow \frac{5.76k\Omega}{4.2 - 1} = 1.78k\Omega \rightarrow 1.78k\Omega \text{ (resistenza standard all'1\%)} \tag{5.5}$$

$$R_8 = \frac{R_{ref}}{A_{V_3}} \rightarrow \frac{5.76k\Omega}{4.2} = 1.36k\Omega \rightarrow 1.37k\Omega \text{ (resistenza standard all'1\%)} \tag{5.6}$$

5.6 Scheda di conversione

Sulla scheda di conversione sono montati i due ADC, collegati alle 8 schede microfoniche e collegati ai pin dell'FPGA.

STUDENTSUPSI

STUDENTSUPSI

Capitolo 6

Realizzazione schematici e PCB

6.1 Circuito di adattamento dinamica

Lo schema elettrico del circuito precedentemente simulato, è stato riportato in Altium e diviso in quattro schematici: Alimentazione, Stadio di ingresso, Stadio ad amplificazione programmabile e Stadio di conversione da single-ended a differenziale.

6.1.1 Alimentazione

Il circuito è alimentato a 3.3 V, tensione ricavata dal circuito in figura 6.1.

Inoltre viene ricavata la tensione di modo comune ($V_b = V_{CC}/2$) in modo da polarizzare i segnali in ingresso agli opamp, i quali lavorano in alimentazione singola.

6.1.2 Stadio di ingresso

Lo stadio di ingresso include il microfono, il circuito di polarizzazione dello stesso ed il circuito di preamplificazione (fiugra 6.2).

6.1.3 Stadio ad amplificazione programmabile

I condensatori sulle alimentazioni sono stati apportati su consiglio del produttore.

6.1.4 Stadio di conversione da single-ended a differenziale

L'unica modifica apportata allo schema simulato, è l'aggiunta del condensatore sull'alimentazione.

STUDENTSUPSI

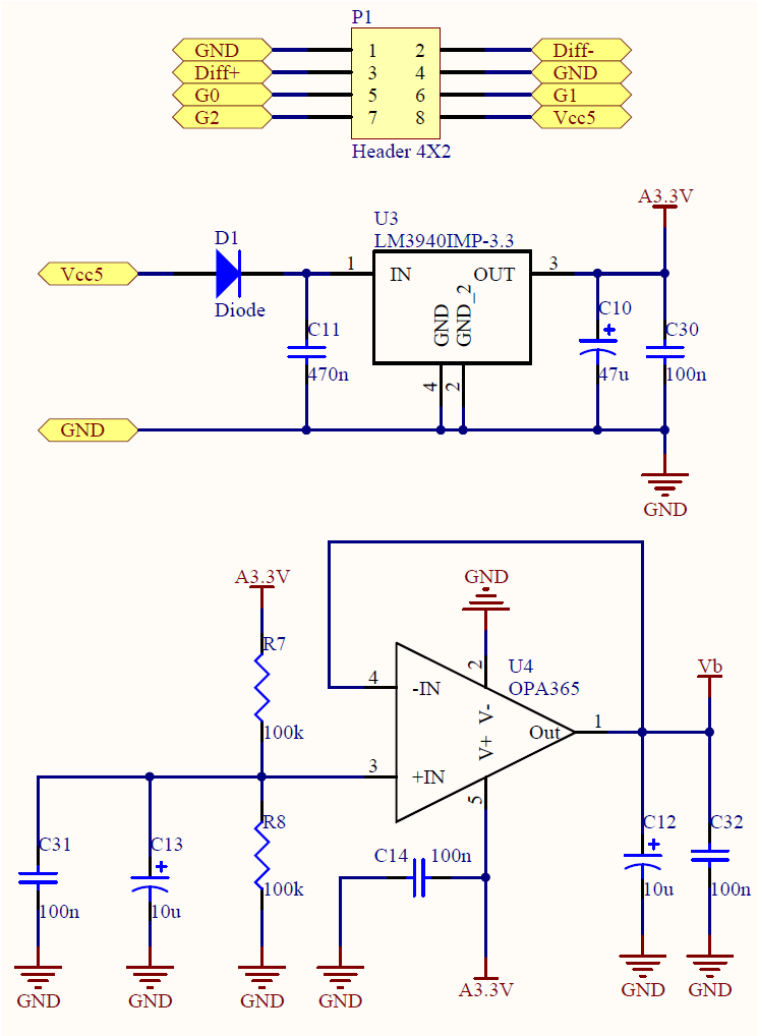

Figura 6.1: Schematico alimentazione e generatore di tensione di riferimento

STUDENTSUPSI

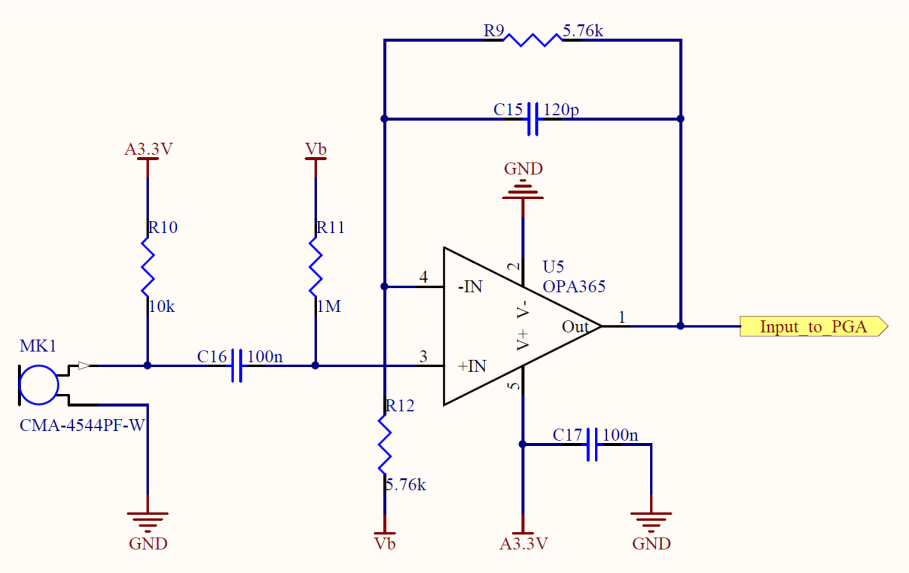

Figura 6.2: Schematico stadio di ingresso

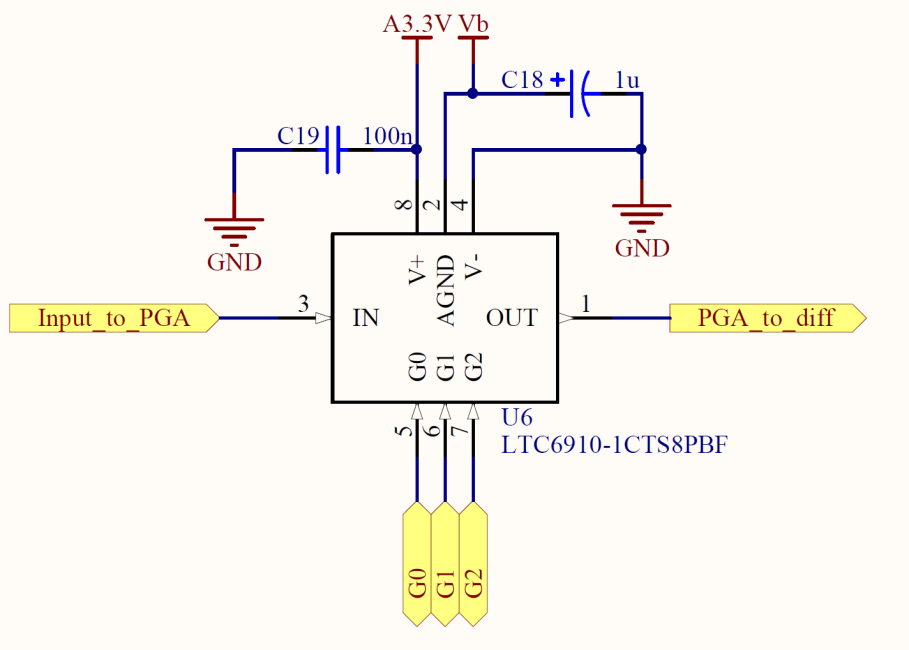

Figura 6.3: Schematico stadio ad amplificazione programmabile

STUDENTSUPSI

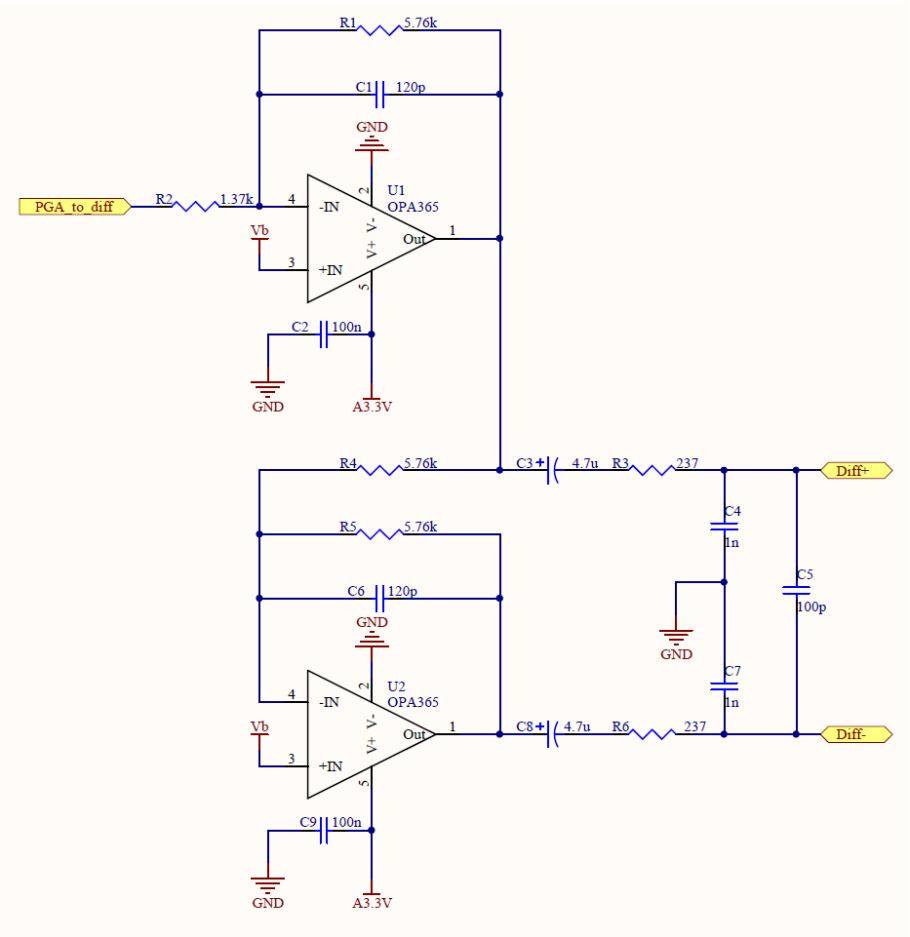

Figura 6.4: Schematico conversione da single-ended a differenzziale

STUDENTSUPSI

6.2 Layout adattamento dinamica

Il layout realizzato per tale circuito è mostrato in figura 6.5.

Con lo scopo di evitare disturbi sulle linee analogiche, è stato scelto di realizzare il PCB con quattro layer disposti come segue in tabella 6.1.

Layer	Nome	Descrizione
1	Top Layer	Lato componenti e piste
2	GND Layer	Piano di massa
3	VCC Layer	Piano di alimentazione
4	Bottom Layer	Piano per eventuali piste

Tabella 6.1: Disposizione layer PCB

STUDENTSUPSI

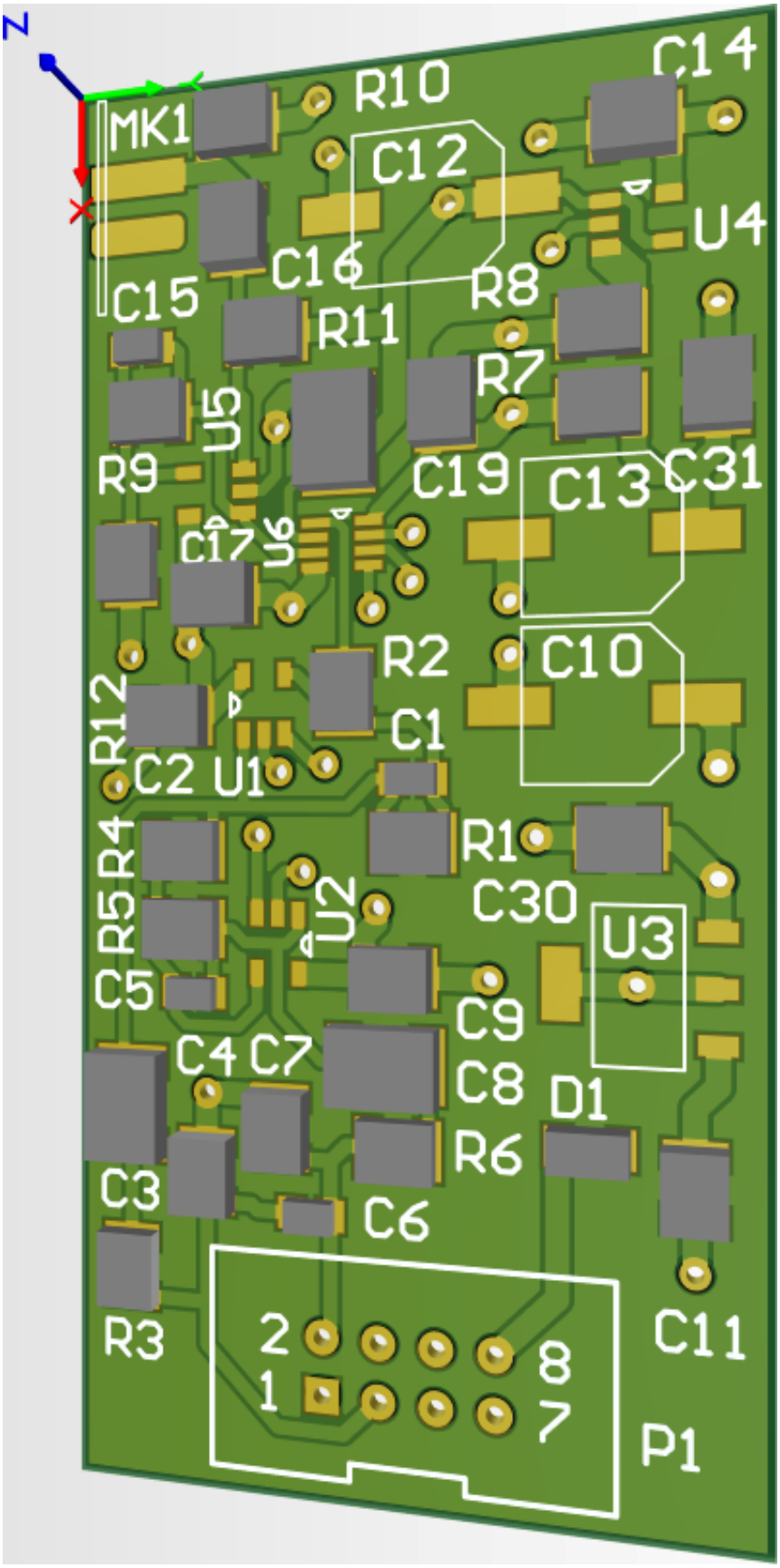

Figura 6.5: Layout PCB adattamento dinamica

STUDENTSUPSI

6.3 Circuito di interfaccia ADC/FPGA

Il circuito presenta due ADC collegati come segue in figura 6.6.

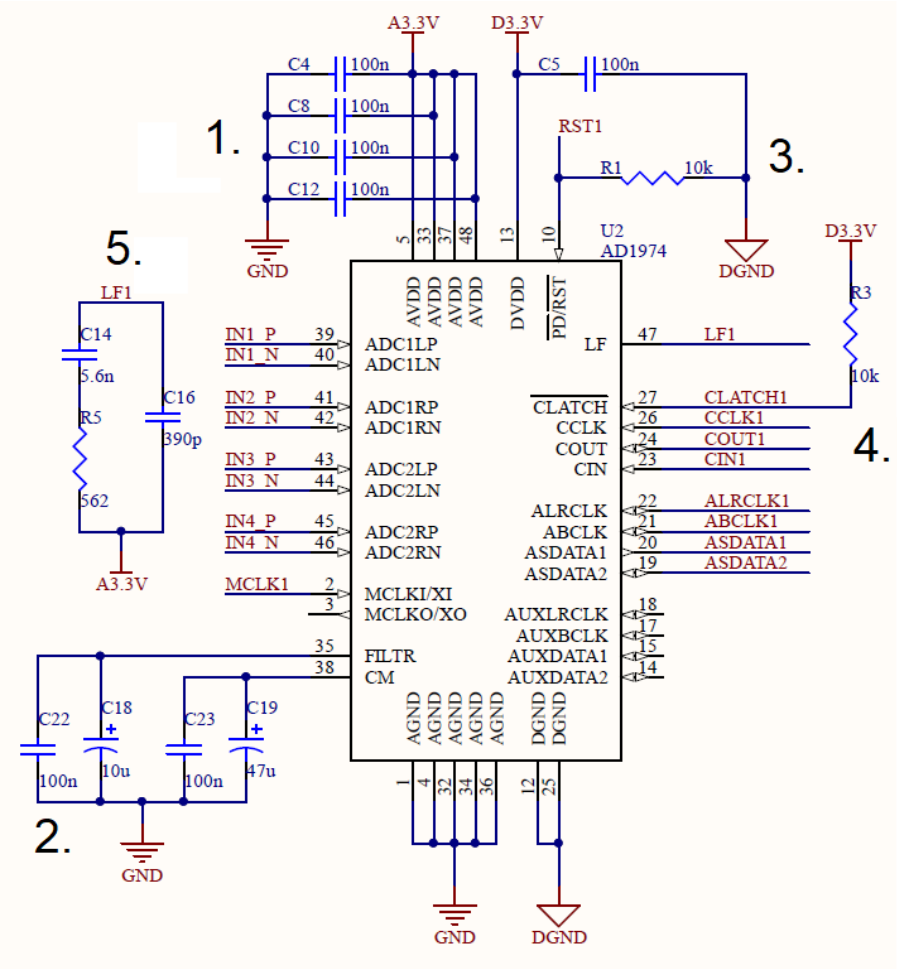

Figura 6.6: Schematico interfaccia ADC/FPGA

Per permettere il corretto funzionamento dell'ADC sono stati aggiunti i seguenti componenti:

1. Condensatori di disaccoppiamento sulle alimentazioni
2. Condensatori di disaccoppiamento sulle tensioni di riferimento FILTR e CM
3. Resistenza di pull-down sul pin di reset
4. Resistenza di pull-up sul pin di latch della porta SPI
5. Filtro per circuito PLL

STUDENTSUPSI

6.4 Layout interfaccia ADC/FPGA

Il layout realizzato per tale circuito è mostrato in figura 6.7.

La disposizione dei layer del PCB è la stessa mostrata in tabella 6.1 a pagina 33.
Questa volta, a causa della presenza di segnali analogici e digitali sulla stessa scheda, è stato necessario creare masse ed alimentazioni separate.

Inizialmente massa analogica e digitale sono state connesse assieme con lo scopo di avere un unico piano di massa per evitare disturbi tra le piste del PCB. Dalla teoria studiata però, è consigliato di separare le due masse nel caso si trovassero su un unico PCB, perciò è stato impulsivamente scelto di derivare la massa digitale da quella analogica collegandola attraverso una ferrite. Solo dopo aver testato il PCB ci si è accorti che tale metodo andava ad aggiungere disturbi, perché una bobina si oppone alle rapide commutazioni di corrente, generando dei picchi di tensione che oltre a generare rumore, sono anche dannosi per il circuito. La ferrite è stata quindi sostituita da una resistenza da 0 Ω, in tale maniera le due masse sono collegate assieme in un solo punto, il che evita che i segnali di ritorno analogici e digitali si sovrappongano.

Il connettore GPIO fornisce due alimentazioni come visto in tabella 4.1 di pagina 11, L'alimentazione 3.3 V viene direttamente utilizzata per pilotare la parte digitale del circuito, mentre l'alimentazione a 5 V viene stabilizzata a 3.3 V con l'integrato LM3940 per la parte analogica, con lo scopo di renderla più robusta e di isolarla dalla parte digitale.

Nei piani interni di alimentazione e massa, sono state create delle isole per le rispettive connessioni digitali, tale isole sono mostrate nelle figure 6.8 e 6.9.

STUDENTSUPSI

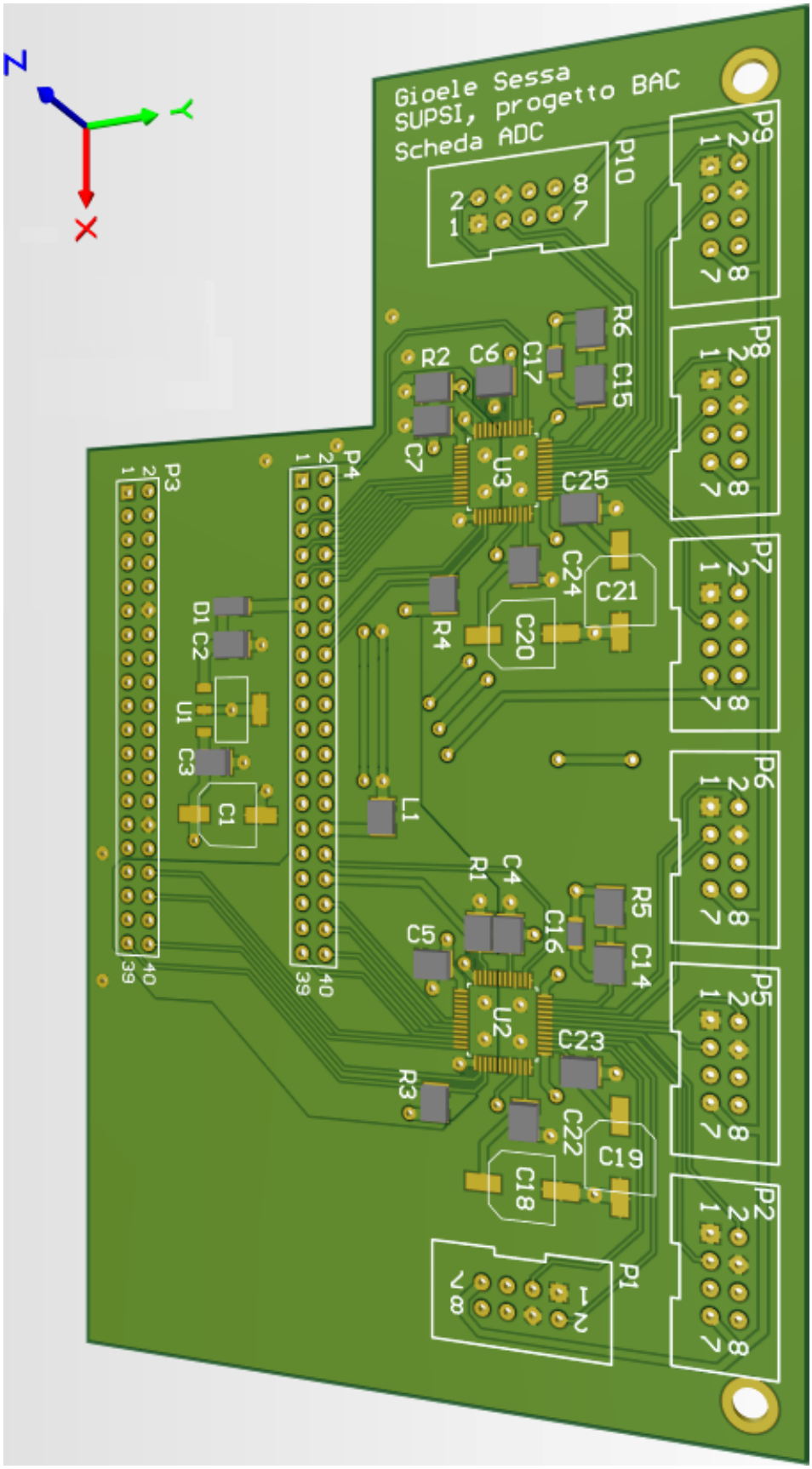

Figura 6.7: Layout PCB interfaccia ADC/FPGA

STUDENTSUPSI

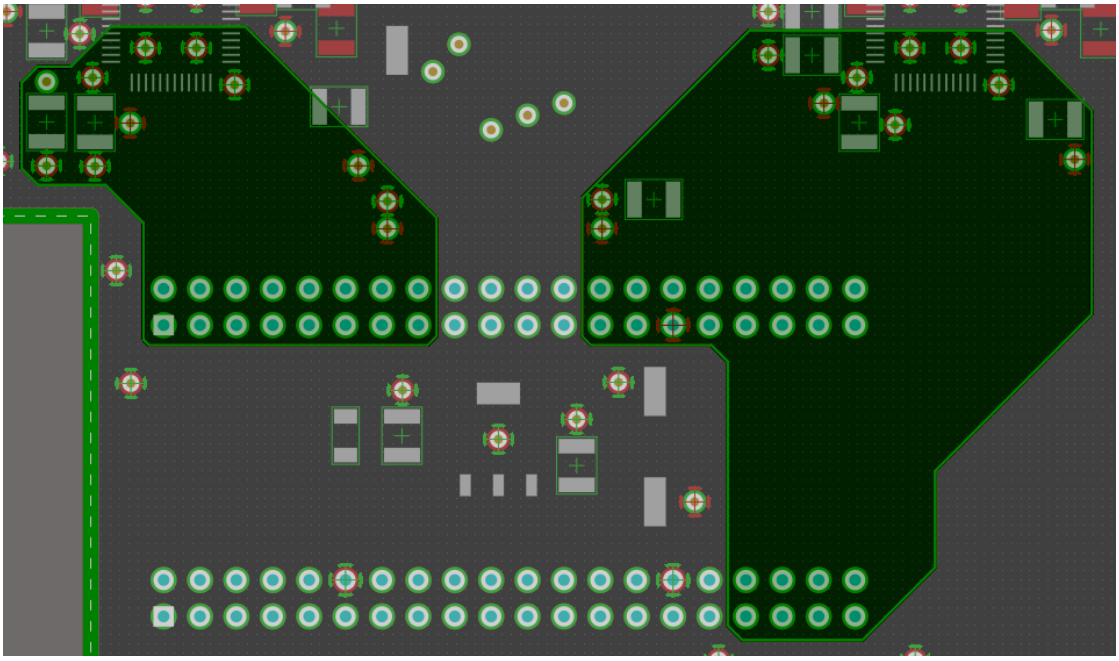

Figura 6.8: Isola massa digitale

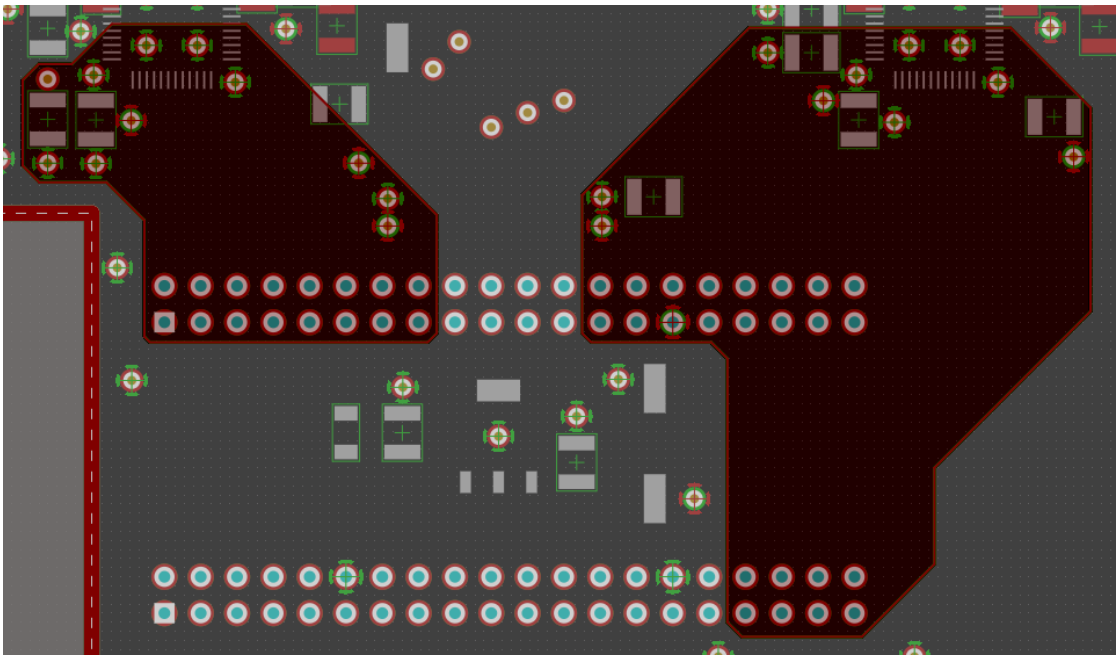

Figura 6.9: Isola alimentazione digitale

STUDENTSUPSI

Capitolo 7

Firmware

7.1 Configurazione FPGA

In breve l'obiettivo dell'FPGA per questa applicazione, è di leggere i dati forniti degli ADC ed inviarli al computer come file di testo.
Per fare ciò è stato realizzato un sistema che contiene le macrocelle mostrate in figura 7.1.

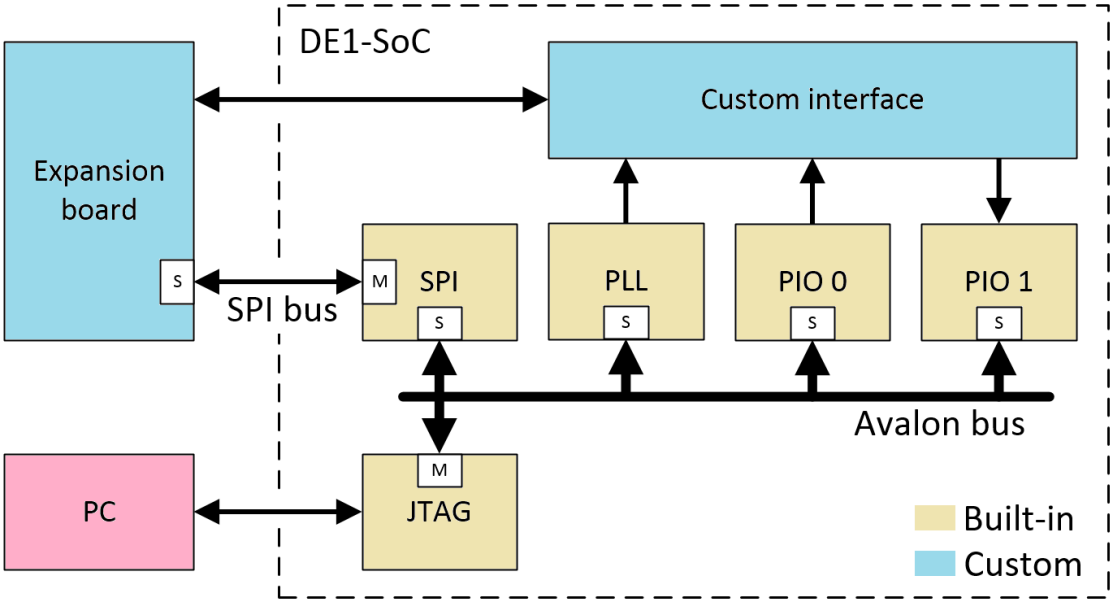

Figura 7.1: Schema a blocchi

Di seguito vengono elencati i blocchi precomplilati forniti da Altera che sono stati utilizzati nel progetto.

- **JTAG master**
  Permette di collegare il computer alle altre periferiche, in modo da poterne configurare i registri per regolare impostazioni o per trasmettere dati.

STUDENTSUPSI

- **SPI**
  Interfaccia che consente di configurare i registri dei convertitori sulla scheda di espansione, come spiegato nella sezione 5.3.

- **PIO**
  Le due interfacce parallele servono a leggere i dati salvati in memoria, quella di output seleziona l'indirizzo da leggere e quella di input legge il dato.

- **PLL**
  Per funzionare correttamente, gli ADC necessitano di un clock a 12.288 MHz, il PLL permette di abbassare il clock fornito dal cristallo da 50 MHz a circa 12.288 MHz (12.287234 MHz).

7.2 Interfaccia personalizzata

L'interfaccia comunica con la scheda di espansione inviando i dati di temporizzazione e ricevendo i dati dei microfoni digitalizzati, inoltre è istanziata la memoria per salvare tali dati. La macrocella è rappresentata in figura 7.2.

7.2.1 Switch e LED PGA

Per selezionare l'amplificazione del PGA, è stato scelto di utilizzare tre switch, ai quali sono anche stati associati tre LED.

7.2.2 Platform1

Il simbolo Platform1 è l'istanza del file HDL esportato dal platform designer e presenta i seguenti I/O:

- Clock del sistema
- PIO0 e PIO1
- Reset
- Segnali SPI
- Uscita a 12.288 MHz del PLL

7.2.3 Multiplexer

Dato che il sistema deve comunicare con due convertitori, i due segnali COUT devono convogliare entrambi nell'ingresso MISO, perciò a seconda del valore dello slave select il multiplexer abilita il dato del rispettivo ADC.

STUDENTSUPSI

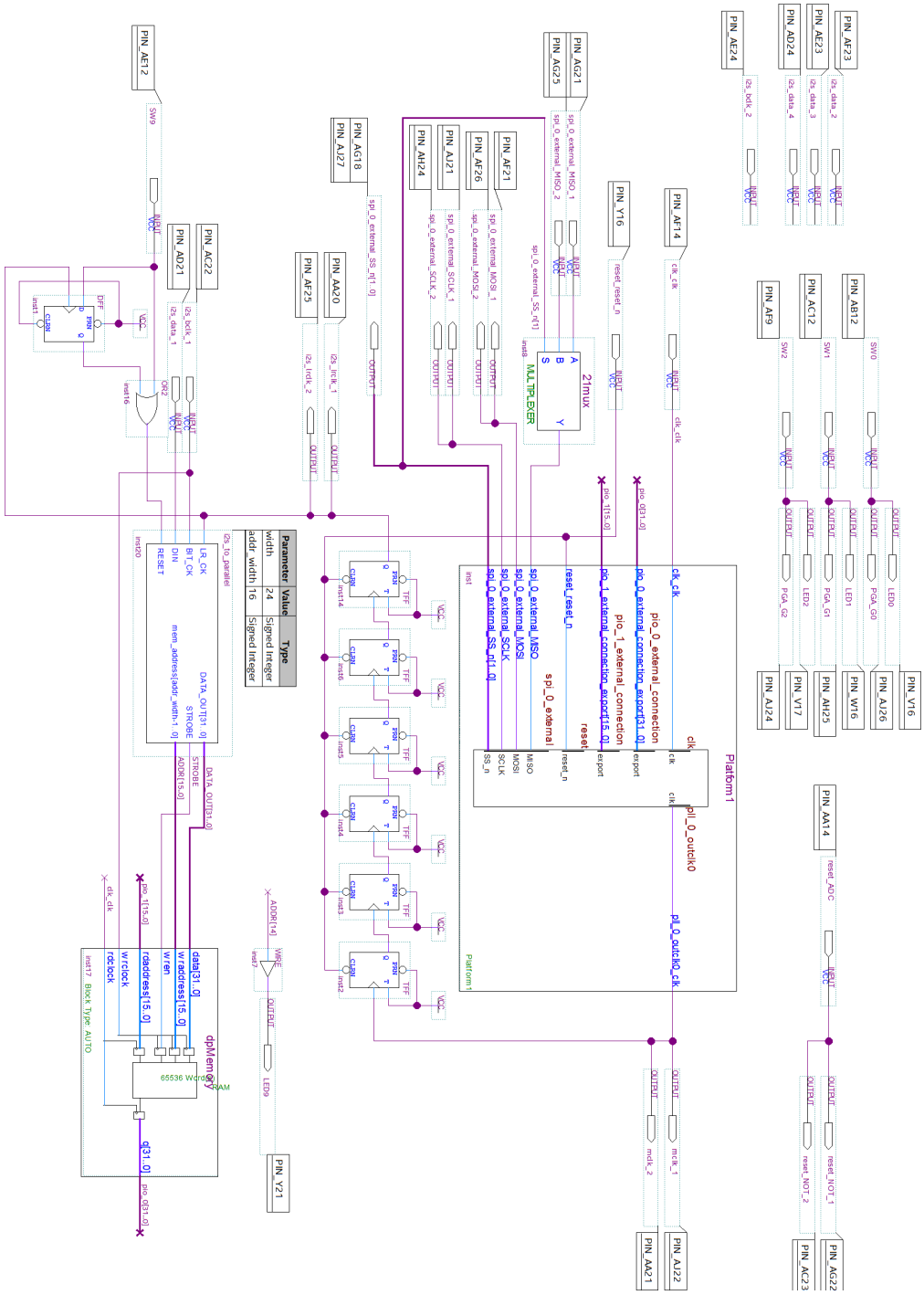

Figura 7.2: Schema a blocchi macrocella custom

7.2.4 Flip-Flop divisione clock

Per far si che i due convertitori campionassero contemporaneamente il segnale dei microfoni, è stato deciso di configurarli per ricevere il ingresso il LRCLK, il quale viene ricavato dividendo per 64 il MCLK.

STUDENTSUPSI

L'alternativa sarebbe stata di far generare il LRCLK al PLL, ma è stata scartata in quanto l'utilizio dei Flip-Flop garantisce una divisione senza errori.

7.2.5 I^{2}S to parallel

Tale blocco è stato scaricato dal sito OpenCores [7] ed opportunamente modificato in base all'esigenza.

7.2.6 Memoria

La memoria utilizzata è una RAM con 65536 word da 32 bit di memoria.
L'equazione 7.1 mostra quanti secondi di audio possono essere registrati.

$$t_{rec} = \frac{65536}{192kHz} = 0.34s \tag{7.1}$$

7.3 Console TCL

Per configurare le periferiche del progetto è necessario l'utilizzo di una console TCL, la quale permette di comunicare con il JTAG master e di conseguenza tutte le periferiche connesse al bus Avalon.
Per tale console sono stati scritti due script, uno per configurare gli ADC attraverso SPI, ed uno per leggere i dati salvati in memoria.

7.3.1 Configurazione ADC

Lo scopo di tale script è quelllo di impostare i registri interni agli ADC in modo che lavorino secondo le esigenze.
Dall'analisi del datasheet sono stati ricavati i valori di tali registri riportati in tabella 7.1.

Register	Value
PLL and Clock Control 0	0x98
PLL and Clock Control 1	0x00
AUXPORT Control 0	0x00
AUXPORT Control 1	0x00
AUXPORT Control 2	0x00
ADC Control 0	0x80
ADC Control 1	0x00
ADC Control 2	0xC0

Tabella 7.1: Valori registri ADC

Trovati i valori da impostare, non resta altro che costruire la parola a 24 bit, come spiegato nel capitolo 5.3 a pagina 21. In tabella 7.2 è mostrato un esempio utilizzando il registro *PLL and Clock Control 0*.

STUDENTSUPSI

Global address + R/$\overline{W}$		Register address		Data	
0000	1000	0000	0000	1001	1000
0	8	0	0	9	8

Tabella 7.2: Esempio parola SPI

La parola risultante è dunque *0x080098*, una volta inviata all'ADC tramite il comando *master_write_32*, il convertitore funziona come configurato.

7.3.2 Lettura dati

Per leggere i dati e salvarli in un file di testo è stato realizzato uno script contenente un ciclo for che scansioni la memoria inviando gli indirizzi incrementati ad ogni ciclo tramite la periferica PIO1, legga i valori della memoria tramite la PIO0 e li salvi in un file.
In figura 7.3 è rappresentato il flow chart dello script.

STUDENTSUPSI

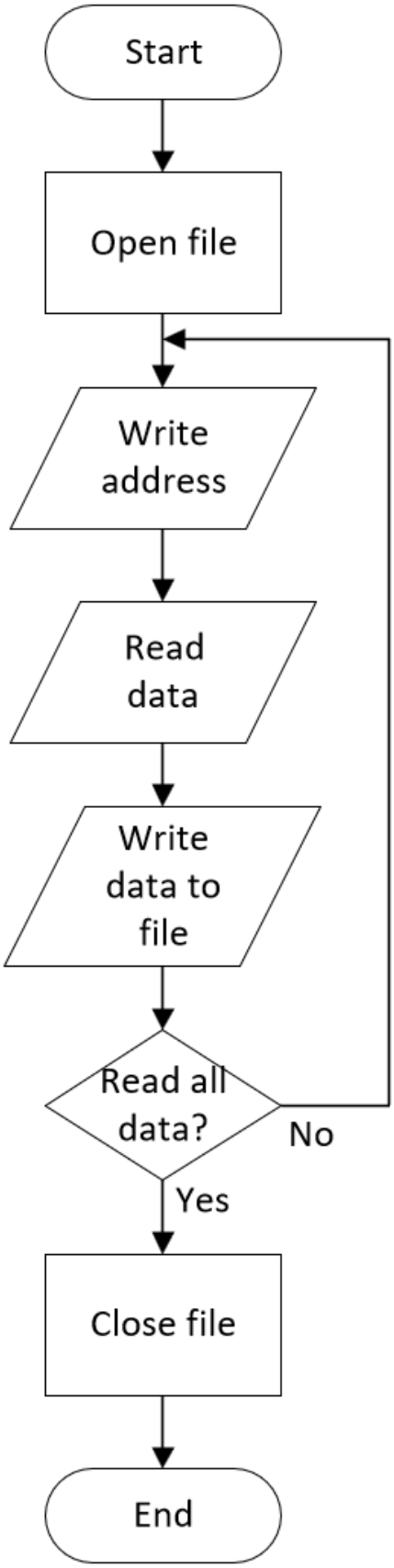

Figura 7.3: Flow chart lettura dati

STUDENTSUPSI

Capitolo 8

Risultati

8.1 Misura distanza tra microfoni

Nel breve tempo rimasto a disposizione per il progetto, si è deciso di misurare la distanza tra due microfoni come primo passo verso l'implementazione del concetto di beamforming.

8.1.1 Algoritmo matlab

Per misurare tale distanza, i dati dei microfoni sono stati importati in matlab e processati per calcolare la fase. In figura 8.1 sono visibili i dati dei microfoni.

Come prima cosa, conoscendo la frequenza del segnale utile, i dati sono stati filtrati, così da eliminare i disturbi e i rumori di fondo, successivamente è stato estrapolato un singolo periodo di sinusoide (figura 8.2) per entrambi i segnali così da poterne calcolare la fase con due metodi differenti.

8.1.1.1 Rilevamento picchi

Inizialmente come metodo di misura si è pensato di calcolare la differenza di campioni tra i picchi delle due sinusoidi. Avendo già estrapolato un periodo, è bastato utilizzare la funzione *[M, I] = max(data);* per ottenere nella variabile I la posizione del valore massimo. Dunque calcolando la differenza tra gli indici dei due massimi si ottiene la differenza di campioni tra i due segnali. Da questa differenza, la distanza viene calcolata attraverso la formula 8.1.

$$d = v_{suono} \cdot \frac{\Delta campioni}{f_{campionamento}} \tag{8.1}$$

8.1.1.2 Correlazione

Successivamente è stata utilizzata la funzione Matlab per la correlazione tra due segnali *corr = xcorr(data1, data2);*. Tale funzione prova tutte le combinazioni di sfasamento tra

STUDENTSUPSI

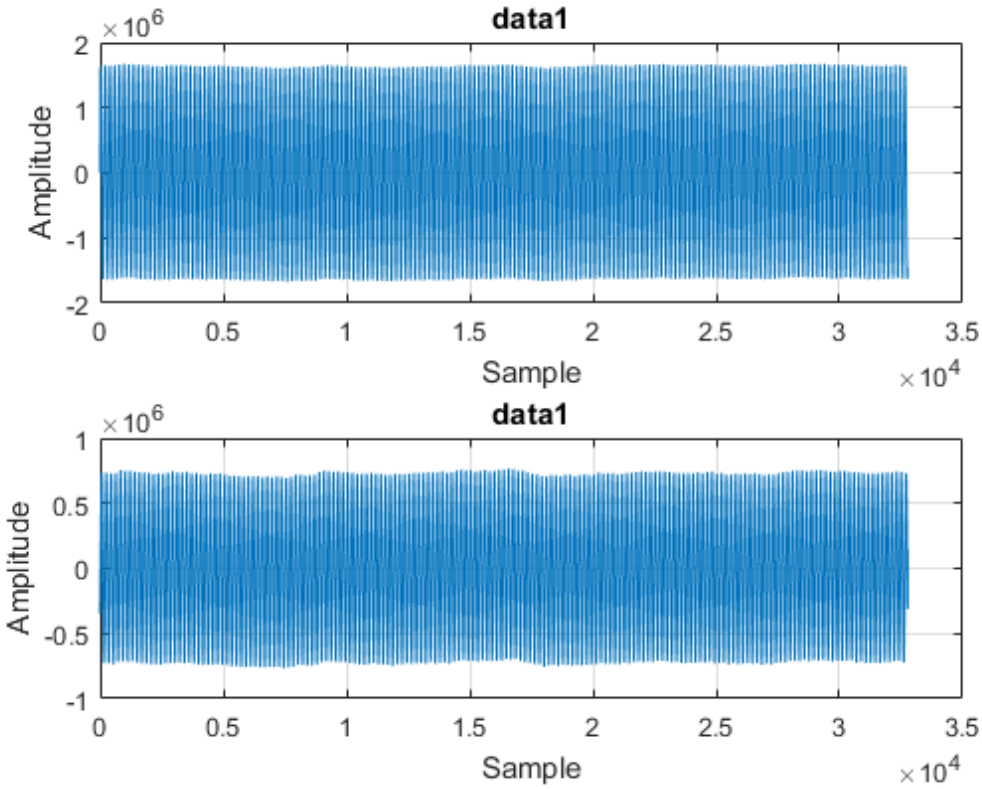

Figura 8.1: Dati microfoni

i due segnali e restituisce un vettore contenente quanto i due segnali si somigliano per ciascuno di questi sfasamenti, trovando l'indice del massimo elemento di tale vettore, si trova lo sfasamento dei due segnali.

STUDENTSUPSI

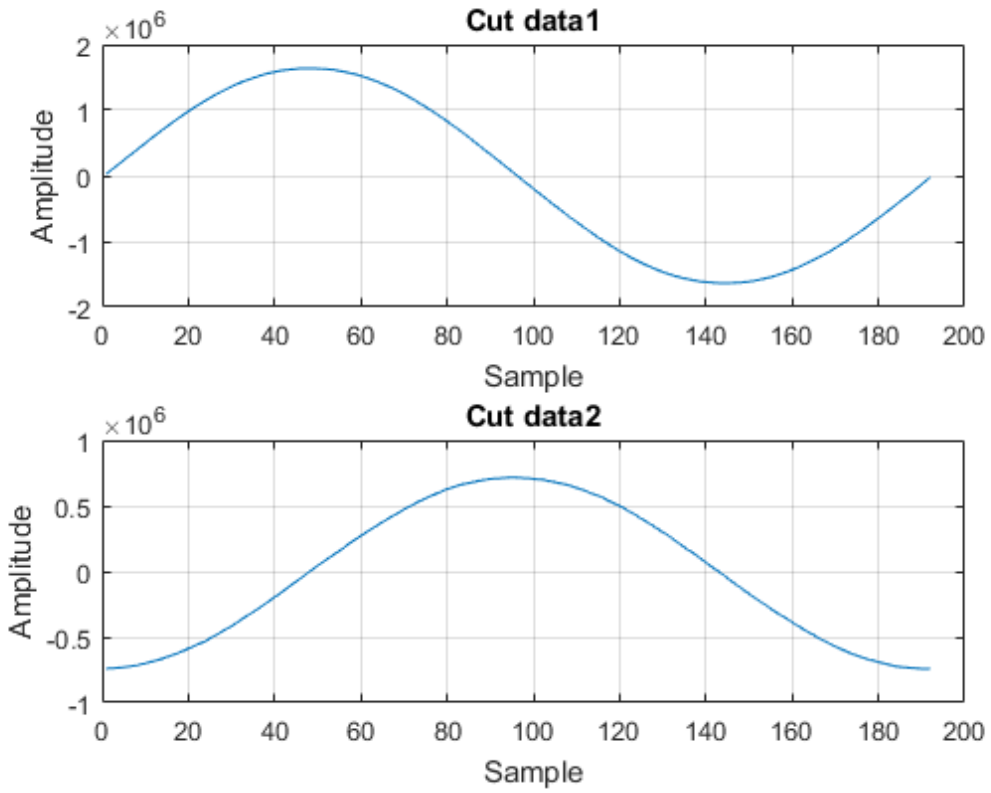

Figura 8.2: Singolo periodo

STUDENTSUPSI

8.1.2 Misura

I due microfoni sono stati inizialmente disposti come schematizzato in figura 8.3.

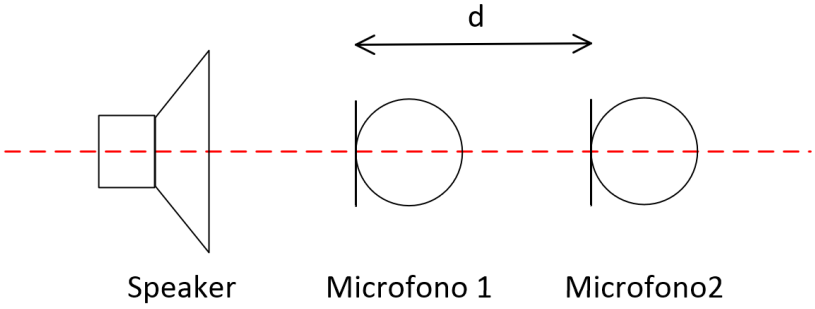

Figura 8.3: Disposizione test misura di distanza

Analogamente a quanto fatto nella sottosezione 4.3.2 a pagina 15, è stata riprodotta una sinusoide a 1 kHz da un altoparlante e sono stati registrati i suoni per tre diverse distanze: 5 cm, 10 cm e 15 cm. La tabella 8.1 riporta i risultati ottenuti.

Distanza reale	Rilevamento picchi	Correlazione
5 cm	3.22 cm	3.18 cm
10 cm	6.63 cm	6.37 cm
15 cm	10.1 cm	9.85 cm
Accuratezza media	66.01%	64.32%

Tabella 8.1: Misure microfoni in serie

Tale disposizione ha dato problemi in quanto l'onda sonora, passando attraverso il PCB della scheda di amplificazione, viaggia più velocemente rispetto che nell'aria, rendendo la misura di distanza accurata per il 65% circa.

Si è dunque scelto di cambiare configurazione come mostrato in figura 8.4.

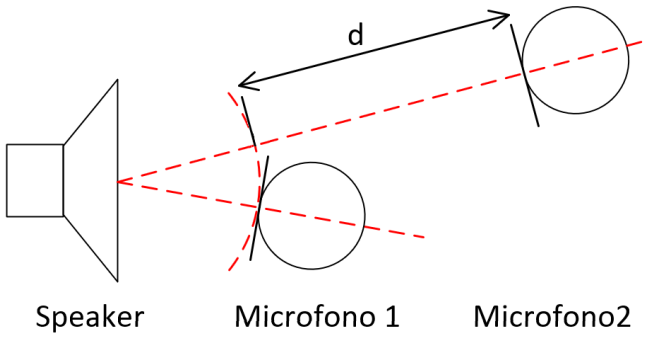

Figura 8.4: Disposizione test misura di distanza

I risultati sono riportati in tabella 8.2.

STUDENTSUPSI

Distanza reale	Rilevamento picchi	Correlazione
5 cm	4.27 cm	4.18 cm
10 cm	8.61 cm	8.55 cm
15 cm	12.77 cm	12.59 cm
Accuratezza media	85.54%	84.34%

Tabella 8.2: Misure microfoni angolati

Così facendo l'accuratezza della misura è salita circa all'85%. L'errore rimanente è dovuto all'assenza di isolazione acustica e meccanica, infatti le vibrazioni si trasferiscono da un microfono all'altro attraverso il supporto e il tavolo.

STUDENTSUPSI

STUDENTSUPSI

Capitolo 9

Conclusioni e sviluppi futuri

Il progetto è stato dichiarato ambizioso per il poco tempo a disposizione e le competenze necessarie per realizzare il progetto in tutti i suoi aspetti. Assieme a relatore e correlatore è stato così deciso che sarebbe stato sufficiente acquisire i dati e salvarli nel computer per un eventuale manipolazione offline.
Ciò nonostante durante il progetto sono stati affrontati diversi temi tra i quali si può elencare:

- Studio di un problema complesso
- Segmantazione in problemi più semplici
- Scelta di una soluzione
- Progettazione di schematici e scelta componenti
- Realizzazione layout PCB
- Assemblaggio e test PCB
- Studio di un linguaggio per debugging di FPGA (TCL) ed attuazione di un piano di debug
- Analisi segnali con MATLAB

Rispetto alla pianificazione iniziale, il progetto ha subito due grossi ritardi, uno a causa di una sottostima del tempo di progettazione dei PCB, ed uno a causa dei componenti spediti in ritardo da Digi-Key.
Questi ritardi hanno poi gravato sulla realizzazione del firmware, più in particolare sull'utilizzo della memoria esterna all'FPGA da 64 MB, con la quale si sarebbero potuti registrare 1.4 secondi di audio con tutti gli otto canali, oppure si sarebbe potuta utilizzare come buffer circolare per un'acquisizione continua.

STUDENTSUPSI

Si è quindi optato per l'implementaione di una memoria molto più semplice ma allo stesso tempo molto limitata nella dimensione, come spiegato nella sottosezione 7.2.6 a pagina 42.

Il risultato finale consiste in un sistema di acquisizione audio a due canali per brevi istanti di tempo, con la finalità di fare semplici misure di distanza.
L'aspetto del progetto è mostrato in figura 9.1.

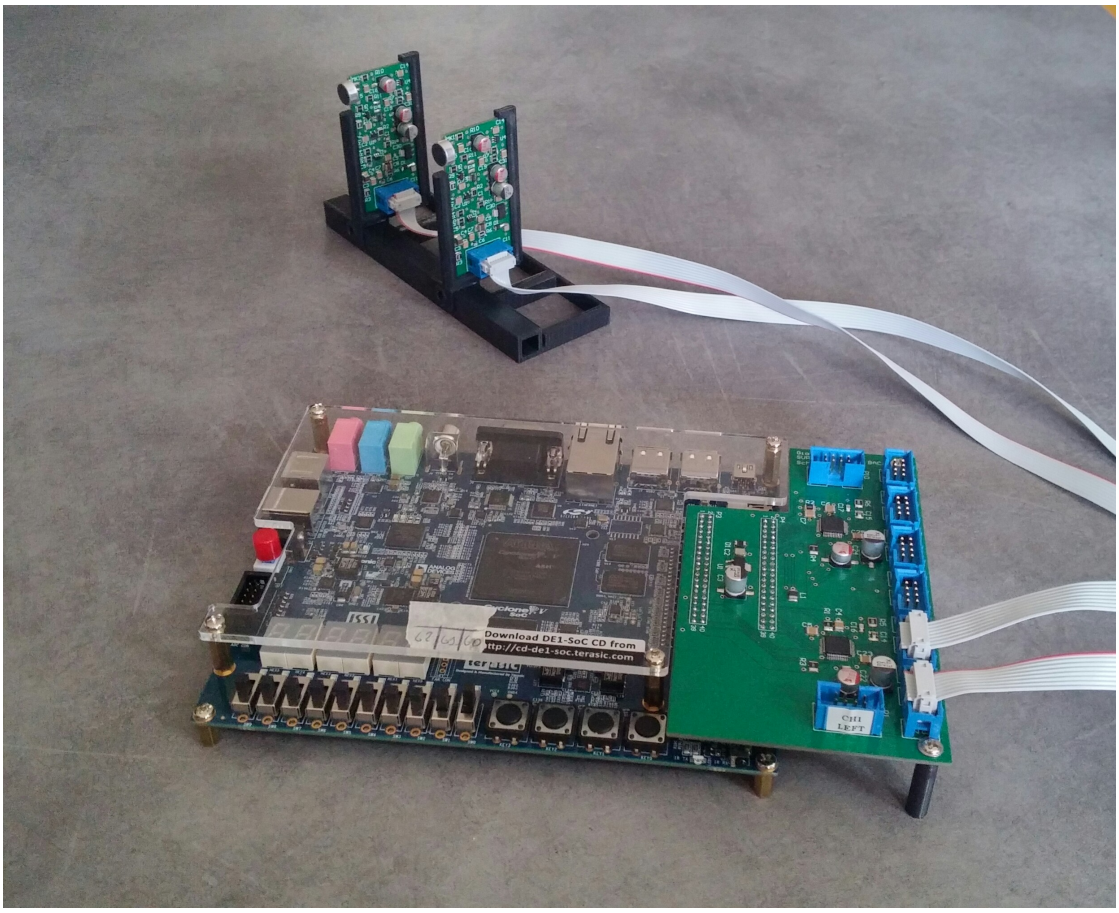

Figura 9.1: Foto progetto

Un dettaglio della scheda di conversione è mostrato in figura 9.2, mentre la scheda microfonica in figura 9.3.

In una futura versione del progetto si consiglia di implementare la memoria esterna, di realizzare un supporto per i microfoni circondato da pannelli fonoassorbenti e di isolare i microfoni dalle vibrazioni indotte dal supporto.
Inoltre per permettere un'elaborazione dei segnali in tempo, sarà possibile implementare il codice MATLAB direttamente in VHDL o in C per microcontrollore Nios (da implementare nell'FPGA) o per il processore ARM da integrare nel sistema.

STUDENTSUPSI

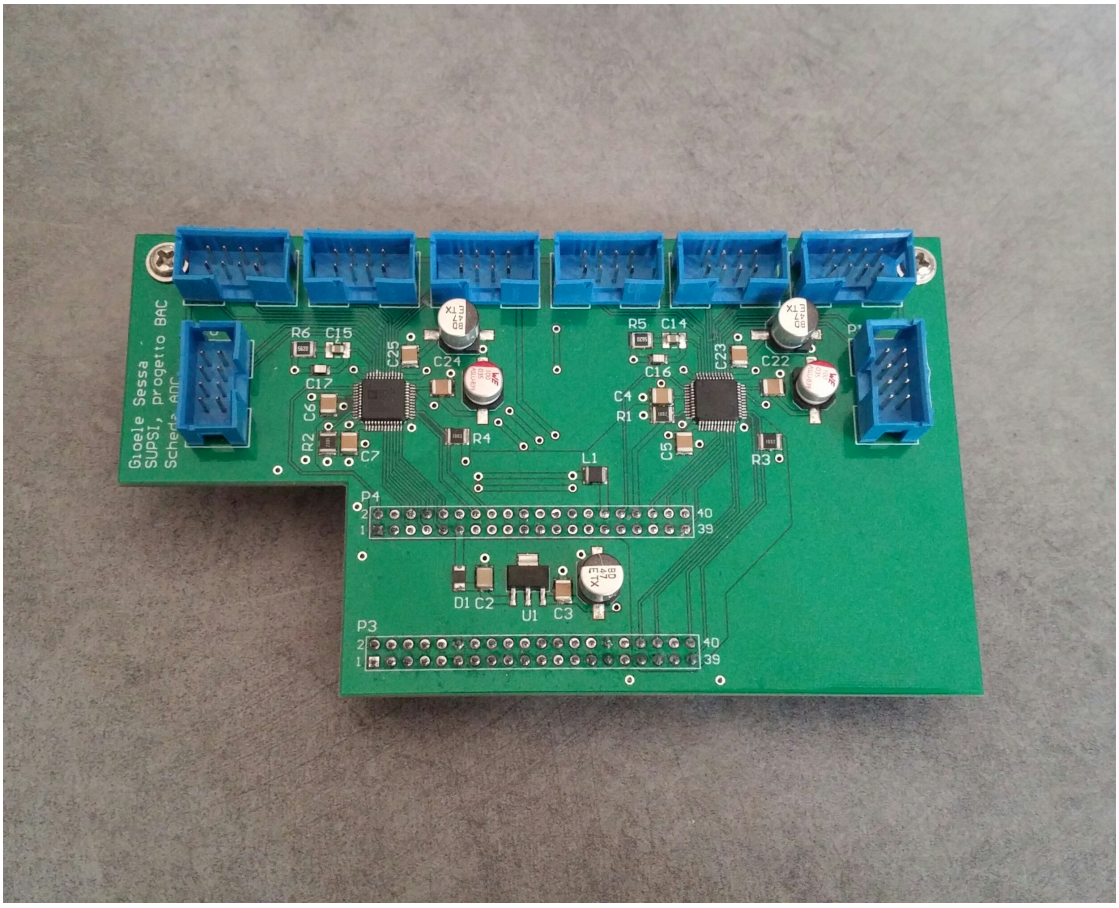

Figura 9.2: Foto scheda ADC

STUDENTSUPSI

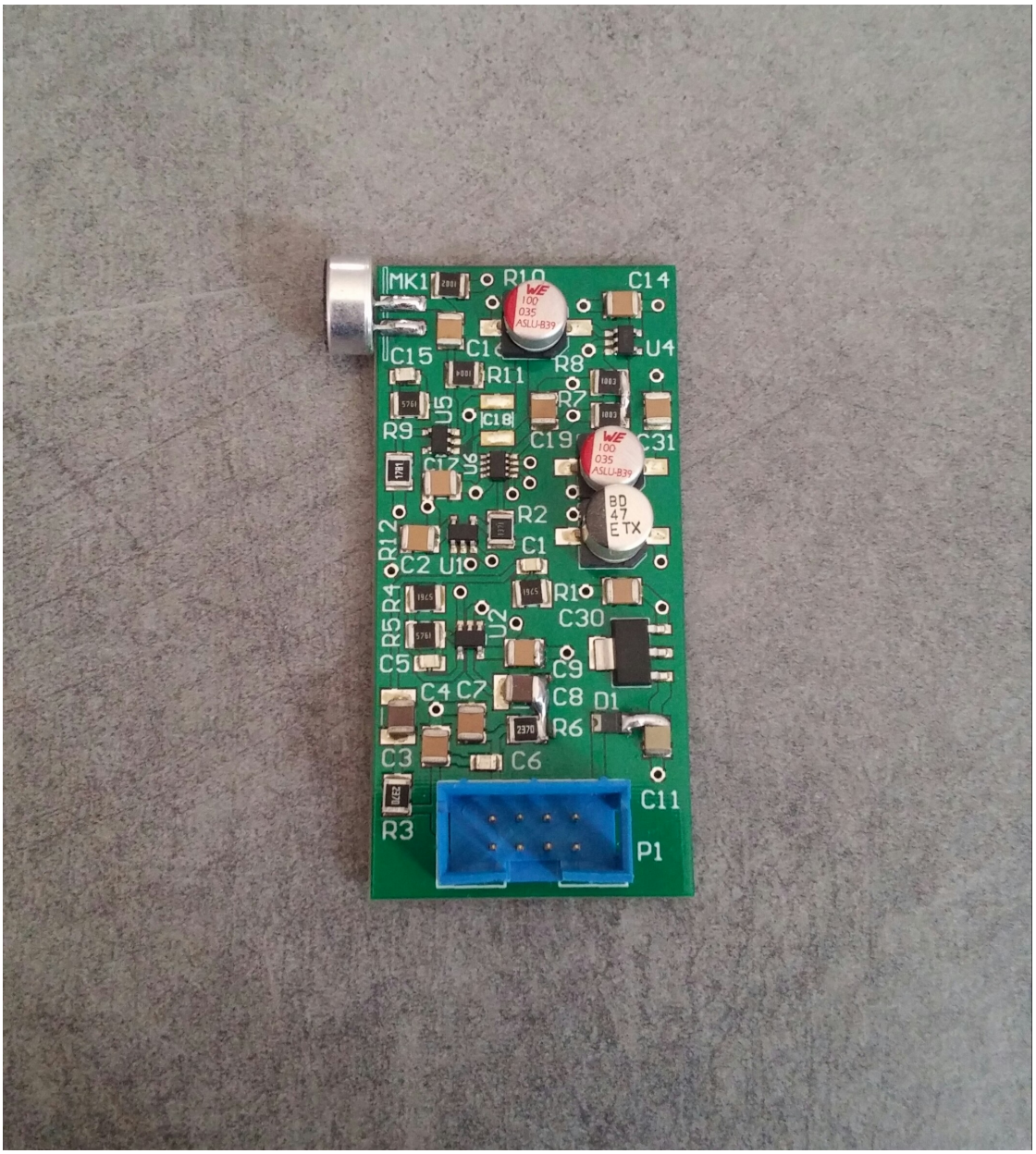

Figura 9.3: Foto scheda microfonica

STUDENTSUPSI

Bibliografia

[1] https://en.wikipedia.org/wiki/Beamforming. Beamforming. In *Wikipedia*, Last update August 2018.

[2] http://www.ee.ic.ac.uk/pcheung/teaching/E2_experiment/DE1-SoC_User_manual.pdf. User manual. In *DE1-SoC*, August 2015.

[3] https://en.wikipedia.org/wiki/Electret_microphone. Electret microphone. In *Wikipedia*, Last update June 2018.

[4] http://www.analog.com/media/en/technical-documentation/data-sheets/AD1974.pdf. Ad1974. In *Analog Devices*, Last update March 2013.

[5] https://www.sparkfun.com/datasheets/BreakoutBoards/I2SBUS.pdf. I2s bus specification. In *I2S*, Last update June 1996.

[6] https://it.wikipedia.org/wiki/Serial_Peripheral_Interface. Serial peripheral interface. In *Wikipedia*, Last update January 2018.

[7] https://opencores.org/project/i2s_to_parallel. I2s to parallel interface. In *OpenCores*, Last update March 2011.

STUDENTSUPSI